

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003 年 12 月 24 日 (24.12.2003)

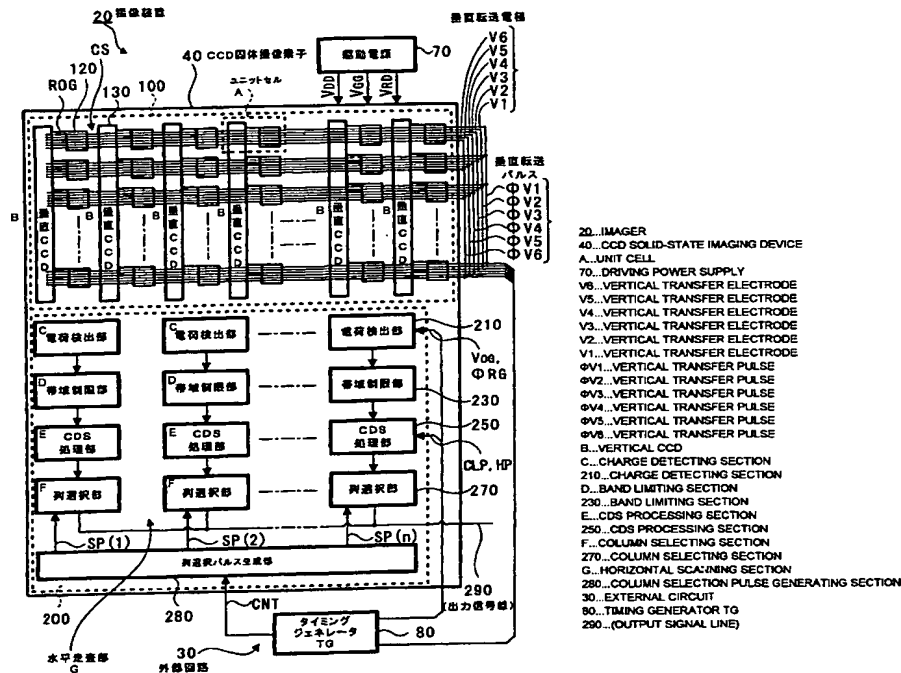
PCT

(10) 国際公開番号  
WO 03/107661 A1

- (51) 国際特許分類: H04N 5/335, H01L 27/148 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 遠山 隆之  
(TOYAMA, Takayuki) [JP/JP]; 〒141-0001 東京都 品  
(21) 国際出願番号: PCT/JP03/07496 川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
Tokyo (JP).  
(22) 国際出願日: 2003 年 6 月 12 日 (12.06.2003)  
(25) 国際出願の言語: 日本語 (74) 代理人: 角田 芳末, 外(TSUNODA, Yoshisue et al.); 〒  
160-0023 東京都 新宿区 西新宿 1 丁目 8 番 1 号 新宿  
(26) 国際公開の言語: 日本語 ビル Tokyo (JP).  
(30) 優先権データ: 特願2002-170986 2002 年 6 月 12 日 (12.06.2002) JP (81) 指定国 (国内): CN, JP, KR, US.  
添付公開書類:  
— 国際調査報告書  
(71) 出願人 (米国を除く全ての指定国について): ソニー株  
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001  
東京都 品川区 北品川 6 丁目 7 番 3 5 号 Tokyo (JP).  
2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR DRIVING SOLID-STATE IMAGING DEVICE, IMAGING METHOD, AND IMAGER

(54) 発明の名称: 固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置



(57) Abstract: A CCD solid-state imaging device of a scanning reading type, its driving method, an imaging method, and an imager. Vertical CCD columns can be allocated to one charge detecting section with a particularly small number of wires. Adjoining vertical CCD columns are allocated to one charge detecting section. The number of stages of voltage transfer between a vertical

[続葉有]

WO 03/107661 A1



CCD column and a voltage detecting section is varied, the arrangement of electrodes is contrived, or the driving timing is adjusted. The phases of charge transfer in adjoining vertical CCD columns of when the horizontal charge in the same position in the horizontal row direction produced in a photosensitive section is made to reach the charge detecting section are different from one another.

(57) 要約: 本発明はスキヤニング読出方式のCCD固体撮像素子と駆動方法、並びに撮像方法及び撮像装置に関し、特に少ない配線数で、複数の垂直CCD列を1つの電荷検出部に割り当てることができるようにする。本発明は、1つの電荷検出部に対して、隣接した複数列分の垂直CCDを割り当てる。さらに、垂直CCD列と電圧検出部との間の電圧転送の段階を遅える、電極配置を工夫する、あるいは駆動タイミングを調整する。そして、隣接する複数の垂直CCD列について、感光部で得た水平列の方向における同一位置の水平電荷を電荷検出部に到達させるときの電荷転送の位相を異なるようにする。

## 明 細 書

## 固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置

## 5 技術分野

本発明は、固体撮像素子、固体撮像素子の駆動方法、撮像方法および撮像装置に関する。

## 背景技術

10 従来から、CCD (charge couple device) は、撮像装置の電荷転送部として広く用いられてきた。CCDを撮像装置に用いるときには、水平画素数と略同数の垂直CCDと1個の水平CCDを配置して、電荷は各画素に配置された光電変換部から垂直CCD、水平CCD、そして出力部に転送される。

15 ところで、近年、ビデオカメラなどの小型化、高解像度化の要求が強く、撮像装置の画像分解能を向上させるため、同一光学サイズにおいて画素数を増大させる傾向がある。しかし、画素数を増大させると、当然ながら読み出し時間が増大する。逆に同一時間に全面素分を読み出す場合、同一時間に読み出さなければなら  
20 ない信号数が増大するので、必然的に読出しのためのクロック周波数が高くなる。

図17は、従来型のCCD固体撮像素子を表したものである。  
図17に示したCCD固体撮像素子1は、インターライン方式のものであり、撮像領域2には画素3に対応するフォトダイオード  
25 (感光部) 4が多数、垂直(行)方向および水平方向(列)方向において2次元マトリクス状に配列されている。また撮像領域2には、フォトダイオード4の垂直列ごとに設けられ、各フォトダイオード4から読出ゲート8を介して読み出された信号電荷eを

垂直転送する複数本の垂直CCD 5 が設けられている。

さらに、複数本の垂直CCD 5 の各転送先側端部すなわち最後の行に隣接して、図の左右方向に延在する水平CCD 6 が1ライン分設けられている。水平CCD 6 の転送先側端部（図の左側）

5 には、たとえばフローティングデフュージョンアンプFDA構成の電荷検出部7が設けられている。この電荷検出部7は、水平CCD 6 から順に注入される信号電荷を画素信号電圧に変換して出力する。画素信号電圧を時系列に出力することで撮像信号Sが得られる。

10 図18は、従来型のCCD固体撮像素子1を駆動する転送パルスのタイミングチャートの模式図である。撮像領域2の画素3に対応するフォトダイオード4で光電変換された信号電荷eは、読出ゲート8を介して垂直CCD 5 に読み出される。垂直CCD 5 は、たとえば4相駆動用の垂直転送パルス $\phi V 1 \sim \phi V 4$ により

15 駆動されることで、垂直CCD 5 に読み出された信号電荷eを、複数列を並列的に水平CCD 6 に転送する。水平CCD 6 は、たとえば2相駆動用の水平転送パルス $\phi H 1, \phi H 2$ により駆動されることで、垂直CCD 5 から転送された信号電荷eをさらに電荷検出部7まで転送する。これにより、信号電荷eが時系列の撮

20 像信号Sに変換されて電荷検出部7から出力される。

このとき、図18に示すように、フォトダイオード4で得た信号電荷eが垂直CCD 5 を介して水平CCD 6 まで転送される時間と、水平CCD 6 に転送された信号電荷eが水平CCD 6 を介して電荷検出部7に転送される時間とを比べると、後者の方が圧倒的に長い。すなわち、全部の画素3の信号電荷eを読み出すために必要な時間は、水平CCD 6 の転送速度で制限される。つまり、CCD固体撮像素子においては、水平CCD 6 のクロック周波数が最も高く、如何にこれを抑えるかが、多画素化のキーポイ

25

ントの1つとなる。

また、同一光学サイズにおける画素数の増大は、1画素あたりのセンサ部の面積低下を招き、ひいては感度の低下という問題を生じさせる。

- 5 現在の固体撮像素子の主流であるCCD固体撮像素子では、このクロック周波数の限界および1画素あたりの感度低下が、画素数増大に対するの制限要因となっている。以下、この点について具体的に説明する。

- 10 水平CCDのクロック周波数を低減する読出方式としては、大きく分けて2つの案が考案されている。第1の方法は、たとえば特許第2785782号や特開平2001-119010号に示されている方法であり、固体撮像素子のセンサ部を複数ブロックに分割し、各々のブロックの水平CCDで電荷を転送するというものである。以下、第1の方法を、「複数水平CCD読出方式」という。
- 15

- また第2の方法は、たとえば特開平6-97414号や特許第3057898号に示されている方法であり、各垂直CCDごとにフローティングデフュージョンアンプFDAなどの電荷検出部を設け、この電荷検出部で信号電荷を電圧信号に変換し、各垂直
- 20 CCDの電圧信号をスイッチ切替えにより順次出力部に出力するというものである。以下、第2の方法を、「スキヤニング読出方式」という。

- ここで、上記2つの読出方式についてもう少し深く考えてみる。先ず「複数水平CCD読出方式」を考えてみると、水平CCDを
- 25 複数ブロックに分割し複数の出力をパラレルに出力することで、見かけのデータレートは向上する。これにより、水平CCDのクロック周波数を下げることができる。

しかし、信号電荷を画素信号に変換する電荷検出部が複数に分

かれており、この電荷検出部における変換ゲインの違いにより、各ブロックから出力された信号レベルに濃度むらを生じ、ブロックの継ぎ目部分が不連続となる。画像全体に対して数ブロックに分割しており、この濃度むらが画像上に太い縞模様として現れ、

5 比較的低い周波数であるので、縞模様（濃度むら）が視認されてしまう。

また、従来のCCD型撮像素子と基本的に読出方式は変わらず、1ブロックに関してはシリアル出力である。今後は、多画素化に伴う感度低下を補うために、同一行（水平列）の同一色の信号を

10 混ぜ合わせるといった加算方式の信号補正などが重要となってくると考えられるが、この「複数水平CCD読出方式」は、基本的にはシリアル出力であるために、画素信号の選択性が非常に小さい。すなわち、多画素化による感度低下を信号補正で補うことは困難であると考えられる。

次に、「スキヤニング読出方式」を考えると、特開平6-97414号に示されているように、垂直CCD列ごと、もしくは、複数垂直CCD列ごとにフローティングデフュージョンアンプFDAなどの電荷検出部が対応付けられる。この場合、電荷検出部における変換ゲインの違いによる濃度むらは、比較的高い周波数

20 となるので、画像上における濃度むらは視認されず、殆ど問題とならない一方で、電荷検出部間のリセットバラツキが問題になってくる。リセットバラツキを除去するためには、電荷検出部以降にたとえばCDS（Correlated Double Sampling：相関2重サンプリング）回路を設けるのが望ましく。CDS回路の規模（CDS回路面積の大部分は数pFの容量である）を考えると、CDS

25 回路の数を少なくできる方式が望ましい。

この場合、垂直CCD列ごとに設けた電荷検出部からの出力信号をスイッチで切り替えて1つのCDS回路に入力する第1の方

式と、複数垂直CCD列ごとに1つの電荷検出部を設け、この電荷検出部ごとに1つのCDS回路を設ける第2の方式とが考えられる。

しかしながら、第1の方式では、CDS回路の数が減るものの、  
5 CDS回路部分での処理周波数が水平CCDのクロック周波数と等しく、多画素化の上で問題となる。つまり、クロック周波数が高いという問題が、水平CCDからCDS回路に移ったに過ぎない。この点に鑑みれば、複数垂直CCD列ごとに1つの電荷検出部を設ける第2の方式の方が望ましい。

10 しかし、第2の方式では、複数垂直CCD列を切り替えて信号電荷を読み出すための選択ゲートVOG（読出ゲート）を垂直CCDと電荷検出部の間に設けなければならない。垂直CCDと電荷検出部との間に選択ゲートを設けることは、図19（A）に示すように、「スキヤニング読出方式」を等価回路から考えると可能  
15 であるが、実際のパターンを考えると、読出ゲートへの選択線の配線が問題となってくる。

すなわち、図19（B）に示すように、たとえば4つの垂直CCD列11を1つの電荷検出部12に割り当てると、外側のコラムA，Dは、選択ゲート13A、13Dへの選択線をパターン  
20 グできるが、内側の中央に存在するコラムB，Cは、スペースがなく、斜線で示す選択ゲート13B、13Cへの選択線を実パターンとして形成することは難しい。フローティングデフュージョンFD上にパターンニングすることも考えられるが、ノイズが発生するという新たな問題を招く。

25 以上述べたように、従来のCCD固体撮像素子は、多画素化に伴う、感度低下および水平CCDのクロック周波数の低減問題が依然として解決できていない。

## 発明の開示

本発明は、クロック周波数と感度の両面を改善することのできるCCD固体撮像素子、およびこのCCD固体撮像素子を駆動する方法、並びにCCD固体撮像素子を用いた撮像方法および撮像装置を提供することを目的とする。

5 本発明に係る第1の固体撮像素子は、水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部と、垂直列電荷転送部と電荷検出部との間に配された、複数の垂直列のそれぞれについて電荷転送の段数が異なるダミー電荷転送部とを備えた。

10 この第1の固体撮像素子において、隣接する複数の垂直列電荷転送部は、垂直転送駆動用の電極が共通に使用されたものとするのが望ましい。

また、隣接する2列の垂直列ごとに電荷検出部を設けてもよい。この場合、ダミー電荷転送部は、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相を、180度反転させる分だけ、電荷転送の段数が異なるものとする。

20 本発明に係る第2の固体撮像素子は、水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。また、隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させ



るときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極を形成した。

本発明に係る第 1 あるいは第 2 の固体撮像素子において、電荷検出部は、フローティングデフュージョン（浮遊拡散層）を信号電荷の入力側に備えたものであるとよい。そしてこの場合、信号電荷の入力側に、隣接する複数の垂直列について共用される、信号電荷を読み出すための読出ゲートを有するものとするのが望ましい。また、読出ゲートへの配線は、隣接する他の電荷検出部についての読出ゲートへの配線と共用されていてもよい。

10      このように、上記第 1 および第 2 の固体撮像素子は、要するに、複数の感光部と、この感光部により得た信号電荷を垂直列方向に転送する垂直列電荷転送部と、各垂直列ごとに設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備え、その隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように形成されているものであればよい。

20      そして、これを実現する具体的手段として、電荷転送の段数が異なるようにしたダミー電荷転送部を利用したものが第 1 の固体撮像素子であり、垂直転送制御信号（転送パルス）が印加される垂直転送電極の形成態様にて対応をとったものが第 2 の固体撮像素子である。

25      本発明に係る第 3 の固体撮像素子は、前記第 1 および第 2 の固体撮像素子とは異なる観点からのものであり、水平列および垂直列の各方向に 2 次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、感光部により得た信号電荷を垂直列の方向に転送する垂直列電荷転送部と、隣接する 2 つの垂直列ごとに

設けられ、垂直列電荷転送部により転送された信号電荷を画素信号に変換する電荷検出部とを備えた。そして、電荷検出部の信号電荷の入力側に、2つの垂直列についてそれぞれ独立に設けられた、信号電荷を読み出すための選択ゲートを設けた。

5 本発明に係る第1、第2、あるいは第3の固体撮像素子において、電荷検出部は、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを電荷検出部ごとに有するものであるとよい。

10 あるいは、電荷検出部の後段に、画素信号における信号電荷のないときの出力と信号電荷のあるときの信号レベルの差を検知する差動検知部を備えたものとすることが望ましい。

また、隣接する複数の垂直列についての電荷検出部が、さらに複数の垂直列を組として垂直列の方向に複数個設けられており、この複数の電荷検出部の後段に、複数の電荷検出部のそれぞれから出力された画素信号を水平列の方向に順次時系列に選択して出力する水平走査部を備えたものとすることが望ましい。

15 本発明に係る固体撮像素子の駆動方法は、本発明に係る第1、第2、あるいは第3の固体撮像素子を駆動する方法であって、隣接する複数の垂直列についての画素信号が、垂直列の方向への信号電荷の転送における異なる位相で出力されるよう駆動することとした。

20 そしてたとえば、電荷検出部が、信号電荷の入力側に、信号電荷を読み出すための選択ゲートと、信号電荷を画素信号に変換した後に初期化するためのリセットゲートを有している場合、選択ゲートがオフのときにリセットゲートをオンさせることで、隣接する複数の垂直列について順に読み出す。

25 本発明に係る撮像方法は、本発明に係る第1、第2、あるいは第3の固体撮像素子を用いて撮像信号を得る撮像方法であって、

最初に、隣接する複数の垂直列についての画素信号を、垂直列の方向への信号電荷の転送における異なる位相で取得する。次に、この取得した画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る。最後に、複数の垂直列の並び順に応じて撮像信号の画素信号を水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る。

5 本発明に係る撮像装置は、本発明に係る第1、第2、あるいは第3の固体撮像素子を用いて撮像信号を得る装置であって、固体撮像素子から、垂直列の方向への信号電荷の転送における異なる位相で出力された画素信号を水平列の方向に順次時系列に選択することにより、異なる位相のそれぞれについての撮像信号を得る水平走査部と、複数の垂直列の並び順に応じて 水平走査部から出力された撮像信号の画素信号を水平列の方向に並び替えること  
10 により、水平列の方向に順序が揃った撮像信号を得る水平列整合部とを備えた。

第1の固体撮像素子は、複数の垂直列に対して1つの電荷検出部を割り当てるとともに、垂直列電荷転送部と電荷検出部との間にダミー電荷転送部を設けた。これにより、複数の垂直列に対して、垂直転送電極や選択ゲート用の電極などの種々の電極やゲート  
20 を共用できるようにした。

第2の固体撮像素子は、複数の垂直列に対して1つの電荷検出部を割り当てるとともに、隣接する複数の垂直列電荷転送部に対して、同一水平列の感光部の信号電荷が電荷検出部に到達するときの電荷転送の位相が異なるように垂直転送駆動用の電極を形成した。そしてこれにより、複数の垂直列に対して、垂直転送電極や選択ゲート用の電極などの種々の電極やゲートを共用できるようにした。

25

第3の固体撮像素子は、2本の垂直列に対して1つの電荷検出部を割り当てるとともに、電荷検出部の信号電荷の入力側に、信号電荷を読み出すための選択ゲートを2つの垂直列について独立に設けた。これにより、選択ゲートへの選択線の配線の問題を解消する。

5 本発明に係る駆動方法においては、隣接する複数の垂直列についての画素信号が、垂直転送における異なる位相で出力されるよう駆動することとした。そして、本発明に係る撮像方法および装置においては、この垂直転送における異なる位相で取得された画素信号を水平列方向に順次時系列に選択することで、各位相につ  
10 いての撮像信号を得る。そして、垂直列の並び順に応じて画素信号を水平列方向に並び替えることで、撮像エリア上の撮像画像情報と撮像信号とが同一の配列となるようにした。

15 以上のように、本発明の第1の形態による固体撮像素子（たとえば第1，第2の固体撮像素子）は、隣接する複数の垂直列を纏めて1つの電荷検出部に割り当て、さらに、電荷検出部との間の垂直転送の段数を違える、電極配置を工夫する、あるいは駆動パルスタイミングを調整するなどして、感光部で得た水平列方向における同一位置の信号電荷を電荷検出部に到達させるときの電荷  
20 転送の位相が異なるものとなるように形成した。これにより、複数の垂直列に対して選択ゲートVOGを独立に設ける必要がなくなり、配線上の制約が非常に少なくなり、後段のCDS回路などのスペースを確保することができる。

25 また、本発明の第2の形態による固体撮像素子（たとえば第3の固体撮像素子）、即ち2列分を1つの電荷検出部に割り当て、垂直列からの電荷転送を制御する切替機構（選択ゲート）を独立に設けた構成では、第1の形態よりも選択ゲートへの配線数は増えるが、中央部の選択ゲートへの配線スペースは問題とならない。

このように、本発明の固体撮像素子は、各列に共通の垂直転送電極を使用することや、その複数列に共通の選択ゲートを使用して配線上の制約を減らしつつ、電荷検出部にて変換された各垂直列の画素信号を水平方向に順次切り替えることで水平方向の信号取り出しを実現するので、水平方向用の電荷転送部（水平CCDなど）を用いずに、信号電荷に対応した撮像信号を得ることができる。

水平方向用の電荷転送部を用いないので、固体撮像素子の画素数を多くした際に問題になる水平クロック周波数が限界になる問題を解消できる。

垂直列ごとに信号を読み出すことができるので、多画素化のために生じる一画素当たりの感度低下を、隣接画素（もしくは2画素離れた所にある同色画素）の信号を利用して、補完することができる。

#### 図面の簡単な説明

図1は本発明に係るCCD固体撮像素子を用いた撮像装置の第1実施形態を示す概略構成図である。

図2は第1実施形態のCCD固体撮像素子における、垂直CCDと読出処理部との境界部分近傍を示した模式的平面図である。

図3は第1実施形態のCCD固体撮像素子における、垂直CCDと読出処理部との境界部分近傍を示した模式的断面図である。

図4は第1実施形態のCCD固体撮像素子における、垂直CCDおよびダミー垂直CCDを駆動する垂直転送パルス $\phi V1 \sim \phi V6$ のタイミングチャートの模式図である。

図5は第1実施形態のCCD固体撮像素子における、垂直CCDおよびダミー垂直CCDを構成する垂直転送電極と印加される垂直転送パルス $\phi V1 \sim \phi V6$ の関係を説明する図である。

図 6 は第 1 実施形態の C C D 固体撮像素子における、垂直 C C D およびダミー垂直 C C D を駆動する垂直転送パルス  $\phi V 1 \sim \phi V 6$  と、電荷転送との関係を説明する図である。

5 図 7 は垂直転送電極の配置を変えることで、電荷転送を逆相にする一例を説明する垂直転送パルス  $\phi V 1 \sim \phi V 6$  のタイミングチャートの模式図である。

図 8 A は垂直転送電極の配置を変えることで、電荷転送を逆相にする 1 例を説明する垂直転送電極と印加される垂直転送パルス  $\phi V 1 \sim \phi V 6$  の関係を説明する図であり、図 8 B は垂直転送電極のパターニングの模式図である。

図 9 は第 1 実施形態の C C D 固体撮像素子における、垂直転送パルスと電荷転送との関係を説明する図である。

図 1 0 A は読出処理部における、1 ユニット分の第 2 の構成例を示す回路図であり、図 1 0 B は各信号波形図である。

15 図 1 1 は読出処理部における、1 ユニット分の第 2 の構成例を示す回路図である。

図 1 2 A は読出処理部の後段に繋がる信号処理回路を含めた撮像装置の全体構成の一例を示したブロック図であり、図 1 2 B はその要部のブロック図である。

20 図 1 3 は第 1 実施形態の C C D 固体撮像素子の第 1 変形例を説明する図である。

図 1 4 は第 1 実施形態の C C D 固体撮像素子の第 2 変形例を説明する図である。

25 図 1 5 は第 1 実施形態の C C D 固体撮像素子を 4 相駆動する場合の変形例を説明する図である。

図 1 6 A は第 3 実施形態の C C D 固体撮像素子を説明する要部の回路図であり、図 1 6 B はその模式的平面図である。

図 1 7 は従来型の C C D 固体撮像素子を示す構成図である。

図 1 8 は従来型 C C D 固体撮像素子を駆動する転送パルスのタイミングチャートの模式図である。

図 1 9 A は従来型の「スキヤニング読出方式」の問題を説明する要部の回路図であり、図 1 9 B はその模式的平面図である。

5

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態について詳細に説明する。

10 図 1 は、本発明に係る C C D 固体撮像素子を用いた撮像装置の第 1 実施形態を示す概略構成図であり、インターライン転送方式の C C D エリアセンサに適用した場合を示す。

15 図 1 に示す撮像装置 2 0 は、撮像エリア 1 0 0 および撮像エリア 1 0 0 に対して図面上の下側に配された読出処理部 2 0 0 を有する C C D 固体撮像素子 1 0 と、C C D 固体撮像素子 1 0 を駆動する外部回路 3 0 と備えている。

20 外部回路 3 0 は、C C D 固体撮像素子 4 0 に対して、ドレイン電圧  $V_{DD}$ 、ゲート電圧  $V_{GG}$ 、あるいはリセットドレイン電圧  $V_{RD}$  などの所望の駆動電圧を供給する駆動電源 7 0 と、垂直転送パルス  $\phi V_1 \sim \phi V_6$ 、読出パルス  $X_{SG}$ 、選択ゲート電圧（固定電圧） $V_{OG}$ 、リセットゲートパルス  $\phi R_G$ 、クランプパルス  $C_{LP}$ 、ホールドパルス  $H_P$  などの C C D 固体撮像素子 4 0 を駆動するための種々のパルス信号、あるいは列選択パルス生成部 2 8 0 に対しての制御信号  $CNT$  などを生成するタイミングジェネレータ（TG）8 0 を含む。

25 この撮像装置 2 0 を構成する C C D 固体撮像素子 4 0 は、半導体基板上に、画素（ユニットセル）に対応して受光素子の一例である P N 接合のフォトダイオードなどからなる感光部（センサ部；フォトセル）1 2 0 が多数、垂直（行）方向および水平方向

(列) 方向において２次元マトリクス状に配列されている。これら感光部 １２０は、受光面から入射した入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する。

またＣＣＤ固体撮像素子 ４０は、感光部 １２０の垂直列ごとにそれぞれ ６相駆動に対応する複数本（本例では １ユニットセル当たり ６本）の垂直転送電極 Ｖ１～Ｖ６を有した垂直列電荷転送部の一例である垂直ＣＣＤ １３０が配列されている。垂直転送電極 Ｖ１～Ｖ６は、隣接する垂直ＣＣＤ １３０に対して、撮像エリア １００では、同一の水平列の感光部 １２０の信号電荷が同相で電荷検出部 ２１０側に転送されるように、図中水平列方向にほぼ真っ直ぐに延びている。

２次元マトリクス状に配列された多数の感光部 １２０と、これら感光部 １２０の垂直列ごとに設けられ、各感光部 １２０から読出ゲート部（図示せず）を介して読み出された信号電荷を垂直転送する複数本の垂直ＣＣＤ １３０とによって撮像エリア １００が構成されている。

各垂直転送電極 Ｖ１～Ｖ６は、転送方向の繰返し単位を感光部 １２０の １画素（すなわちユニットセル）ごととしている。転送方向は図中縦方向であり、この方向に垂直ＣＣＤ １３０が設けられている。さらに、これら垂直ＣＣＤ １３０と各感光部 １２０との間には読出ゲート部（トランスファゲート）ＲＯＧが介在している。また各ユニットセルの境界部分にはチャネルストップ（素子分離層）ＣＳが設けられている。さらに、複数本の垂直ＣＣＤ １３０の各転送先側端部すなわち、最後の行の垂直ＣＣＤ １３０に隣接して、読出処理部 ２００が設けられている。

感光部 １２０の各々に蓄積された信号電荷は、外部回路 ３０を構成するタイミングジェネレータ ８０から発せられた読出パルス  $X_{SG}$  が読出ゲート部 ＲＯＧのゲート端子電極に印加され、そのゲ



ート端子電極下のポテンシャルが深くなることにより、当該読出ゲート部R O Gを通して垂直C C D 1 3 0に読み出される。垂直C C D 1 3 0に読み出された信号電荷は、所定タイミングの垂直転送パルス $\phi V 1 \sim \phi V 6$ が垂直転送電極V 1 ~ V 6に印加（6  
5 電極／6相駆動という）されることで順に垂直列に沿って読出処理部2 0 0に転送される。

読出処理部2 0 0は、垂直C C D 1 3 0から順に注入される信号電荷を受けて電圧信号に変換する電荷検出部2 1 0と、電荷検出部2 1 0により変換された電圧信号の周波数帯域を制限する帯域制限部2 3 0と、電荷検出部2 1 0で発生したリセット雑音を抑圧するC D S処理部2 5 0と、C D S処理部2 5 0から出力された電圧信号の垂直列を選択して出力する列選択部2 7 0とを備える。また読出処理部2 0 0は、水平方向の走査を規定する列選択パルス（水平走査パルス）S P（n）を発生し、列選択部2 7  
10 0に供給する列選択パルス生成部2 8 0を有する。

ここで、この第1実施形態では、隣接した2本の垂直列ごとに電荷検出部2 1 0、帯域制限部2 3 0、C D S処理部2 5 0、および列選択部2 7 0を設けていることに特徴がある。すなわち、この第1実施形態は、複数のフォトダイオードでなる感光部1 2  
20 0列および各感光部1 2 0とそれぞれ読出ゲート部R O Gを介して結合された垂直C C D 1 3 0からなる画素列が複数並列配置された撮像エリア1 0 0を水平方向に垂直列の隣接する2本を1組として対応させて、それぞれ電荷検出部2 1 0などを設けたものである。ここでは、2本を1組とした例を示しているが、後述す  
25 る他の実施形態のように、特にこの値に制限されるものではない。

読出処理部2 0 0において、電荷検出部2 1 0は、撮像エリア1 0 0の垂直C C D 1 3 0から順に注入される信号電荷を図示しないフローティングデフュージョンに蓄積し、たとえば図示しな

いソースフォロア構成の出力回路を介して、タイミングジェネレータ 80 から発せられた選択ゲート電圧  $V_{OG}$  やリセットゲートパルス  $\phi_{RG}$  の制御の元に、信号電荷を電圧信号に変換して画素信号（CCD 出力信号）として出力する。

- 5 電荷検出部 210 により電圧信号に変換された画素信号は、その後、帯域制限部 230 により信号の周波数帯域が制限され、次に CDS 処理部 250 により電荷検出部 210 で発生したリセット雑音が抑圧される。列選択部 270 は、列選択パルス生成部 280 から供給された列選択パルス  $SP(n)$  がアクティブなとき  
10 CDS 処理部 250 からの電圧信号を出力信号線 290 に出力する。

- すなわち、垂直方向の奇数列と偶数列についての電圧信号を、奇数列と偶数列の別に（時分割で）、列選択部 270 により水平方向に順に切り替えて読み出すことで、異なる位相で出力される奇  
15 数列と偶数列のそれぞれについての撮像信号を得る。つまり、画像再生手段 270 および列選択パルス生成部 280 により、本発明に係る水平走査部が構成される。

- 図 2 及び図 3 は、第 1 実施形態の CCD 固体撮像素子 40 における、垂直 CCD 130 と読出処理部 200 との境界部分近傍を表した図である。図 2 は平面模式図、図 3 は、垂直列方向の断面  
20 模式図である。

- 図示するように、電荷検出部 210 の前段である垂直 CCD 130 側には、フローティングデフュージョン構成のアンプ FDA を設ける。すなわち、アンプ FDA は、選択ゲート  $V_{OG}$ 、 $N+$   
25 領域であるフローティングデフュージョン（浮遊拡散層）FD、リセットゲート線 RG、 $N+$  領域であるリセットドレイン RD などからなる。垂直 CCD 130 の奇数列であるカラム A, C, E, ... と偶数列であるカラム B, D, F, ... の、それぞれ隣接した 2

本の垂直列に対するように、1つの電荷検出部210が設けられている。

5 垂直CCD130の上部には、複数の垂直転送電極(ここでは、1画素当たり6つの垂直転送電極V1～V6)が形成されており、各カラム間にはチャネルストップCSが形成され、チャネルストップCSには図示しない感光部120および読出ゲート部ROGが設けられている。

10 電荷検出部210の選択ゲートVOG側と撮像エリア100の垂直CCD130との間には、ダミー電荷転送部の一例であるダミー垂直CCD132が設けられている。ダミー垂直CCD132は、遮光膜で覆われている。ダミー垂直CCD132の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列については転送電極V1～V3に相当する3段、偶数列についてはV1～V6の6段が設けられている。つまり垂直CCD130およびダミー垂  
15 直CCD132の全体からなる垂直CCDの長さ(電極に対応するレジスタの段数)を、3つのレジスタ分だけ違えてある。

垂直CCD130の転送電極V1～V6およびダミー垂直CCD132の転送電極V1～V6には、共通に、順に後述するタイミングの垂直転送パルス $\phi V1 \sim \phi V6$ が印加される。

20 ダミー垂直CCD132の長さ、すなわち、ダミー垂直転送電極の段数は、奇数列についてはV1～V3の3段、偶数列についてはV1～V6の6段が設けられている。これにより、奇数列、偶数列の両者について同じ垂直転送パルス $\phi V1 \sim \phi V6$ を使用しても、垂直CCD130から電荷検出部210への信号電荷の  
25 転送位相(読出フェーズ)が180度ずれ、それぞれ異なるタイミングで電荷検出部210(本例ではフローティングデフュージョンFD)に到達するようにしている。

つまり、フローティングデフュージョンFDに繋がるダミー垂

直 CCD 1 3 2 の長さ（電荷井戸の段数）を変え、フローティングデフュージョン FD への到達時における 2 列の垂直 CCD 1 3 0 の電荷転送用位相を 1 8 0 度ずらしてやることによって、垂直 CCD 1 3 0 を選択するための選択ゲート VOG を垂直 CCD 1 3 0 ごとに 2 つ用いることなく、単一のフローティングデフュージョン FD への選択ゲート VOG のみで 2 列の垂直 CCD 1 3 0 の信号電荷を 1 つのフローティングデフュージョン FD に移すことができるようにしている。この結果、従来型の「スキヤニング読出方式」と比較して、ゲートに繋がる配線の数減らすことができ、素子面積を有効に活用できるようになる。

なお、ダミー垂直 CCD 1 3 2 の段数は、図示した例に限らず、垂直転送の位相数、転送電極数、1 つの電荷検出部 2 1 0 に対する垂直列数などに応じて、それぞれのカラムの信号電荷が電荷検出部 2 1 0（本例ではフローティングデフュージョン FD）に、転送の 1 周期においてそれぞれ異なる位相（タイミング）で到達するように、適宜変更すればよい。また、図示した例においても、たとえば奇数列および偶数列に共通の V 1 ~ V 3 の部分を取り除いて、奇数列については 0 段、偶数列については 3 段とするなど、奇数列の段数  $D_a$  と偶数列の段数  $D_b$  との間に、“ $D_b = D_a + 3$ ”なる関係があればよい。また、“ $D_a = D_b + 3$ ”というように、奇数列と偶数列との関係を逆にしてもよい。

図 4 ~ 図 6 は、第 1 実施形態の CCD 固体撮像素子 4 0 における、垂直 CCD 1 3 0 およびダミー垂直 CCD 1 3 2 を駆動する垂直転送パルス  $\phi V_1 \sim \phi V_6$  と、電荷転送との関係を説明する図である。ここで、図 4 は、6 相駆動の垂直転送パルス  $\phi V_1 \sim \phi V_6$  の基本形のタイミングチャートである。図 5 は垂直 CCD 1 3 0 およびダミー垂直 CCD 1 3 2 における奇数列と偶数列の転送電極 V 1 ~ V 6 とこれに印加される 6 層の転送パルス  $\phi V_1$

～ $\phi V 6$  の関係を示す模式図である。また図 6 は、図 5 に示す垂直 CCD 130 およびダミー垂直 CCD 132 における電圧ポテンシャルと電荷転送の関係を示す模式図である。

前述のように、垂直 CCD 130 およびダミー垂直 CCD 132 の各転送電極  $V 1 \sim V 6$  に対応するレジスタ（電荷井戸；チャージパケット）は、図 4 に示す垂直転送パルス  $\phi V 1 \sim \phi V 6$  で共通に駆動される。

図 5 に示すように、4 つの転送電極  $V 1, V 2, V 3, V 4, V 5, V 6$  を、図の左側から順に繰り返して配列した電極構造において、転送電極  $V 1$  に 1 相目の垂直転送パルス  $\phi V 1$  を、転送電極  $V 2$  に 2 相目の垂直転送パルス  $\phi V 2$  を、転送電極  $V 3$  に 3 相目の垂直転送パルス  $\phi V 3$  を、転送電極  $V 4$  に 4 相目の垂直転送パルス  $\phi V 4$  を、転送電極  $V 5$  に 5 相目の垂直転送パルス  $\phi V 5$  を、転送電極  $V 6$  に 6 相目の垂直転送パルス  $\phi V 6$  を、それぞれ印加するものとする。そして、図 6 に示すように、垂直転送パルス  $\phi V 1 \sim \phi V 6$  をオンさせ転送電極  $V 1 \sim V 6$  に高電圧を印加すると、対応する転送電極下のポテンシャルが深くなり電荷井戸（レジスタ）が形成される。また、垂直転送パルス  $\phi V 1 \sim \phi V 6$  をオフさせて転送電極  $V 1 \sim V 6$  に低電圧を印加すると、対応する転送電極下のポテンシャルが浅くなり、電位障壁が形成される。

時刻  $T 0$  では、転送電極  $V 1$  に高電圧、転送電極  $V 2, V 3, V 4, V 5, V 6$  に低電圧が加えられることで、転送電極  $V 1$  の下のポテンシャルが深く、転送電極  $V 2 \sim V 6$  の下のポテンシャルが浅くなり、転送電極  $V 1$  の下に電荷井戸が形成され信号電荷が蓄積され、転送電極  $V 2 \sim V 6$  の下は障壁となり信号の混入を防止している。電荷蓄積のパケットサイズは 2 電極分としている。

次に時刻  $T 1$  では、転送電極  $V 1$  は高電圧に保って電極下に電

荷井戸を形成し、且つ転送電極 V 3 ~ V 6 は低電位に保って障壁を形成したままで、転送電極 V 2 を高電位に遷移する。これにより、電極 V 2 の下のポテンシャルが深くなることで、2 つの電極 V 1 , V 2 による電荷井戸が形成され、それ以前（時刻 T 0 とする）に

5 転送電極 V 1 の下に蓄積されていた信号電荷が転送電極 V 2 側にも移動する。

時刻 T 2 では、転送電極 V 2 は高電圧に保って電極下に電荷井戸を形成し、且つ転送電極 V 3 ~ V 6 は低電位に保って障壁を形成したままで、転送電極 V 1 を低電位に遷移する。これにより、転送電極 V 1 の下のポテンシャルが浅くなることで、転送電極 V 1

10 の下の信号電荷が全て転送電極 V 2 の下に移され、ここに信号電荷が蓄積される。

時刻 T 3 では、転送電極 V 2 は高電圧に保って電極下に電荷井戸を形成し、且つ転送電極 V 1 , V 4 ~ V 6 は低電位に保って障壁を形成したままで、転送電極 V 3 を高電位に遷移する。これにより、転送電極 V 3 の下のポテンシャルが深くなることで、2 つの電極 V 2 , V 3 による電荷井戸が形成され、転送電極 V 2 の下の信号電荷が転送電極 V 3 側にも移動する。

15

時刻 T 4 では、転送電極 V 3 は高電圧に保って電極下に電荷井戸を形成し、且つ転送電極 V 1 , V 4 ~ V 6 は低電位に保って障壁を形成したままで、転送電極 V 2 を低電位に遷移する。これにより、転送電極 V 2 の下のポテンシャルが浅くなることで、転送電極 V 2 の下の信号電荷が全て転送電極 V 3 の下に移され、ここに信号電荷が蓄積される。

20

時刻 T 5 では、転送電極 V 3 は高電圧に保って電極下に電荷井戸を形成し、且つ転送電極 V 1 , V 2 , V 5 , V 6 は低電位に保って障壁を形成したままで、転送電極 V 4 を高電位に遷移する。これにより、電極 V 4 の下のポテンシャルが深くなることで、2 つ

25

の電極 V 3 , V 4 による電荷井戸が形成され、転送電極 V 3 の下に蓄積されていた信号電荷が転送電極 V 4 側にも移動する。

時刻 T 6 では、転送電極 V 4 は高電圧に保って電極下に電荷井戸を形成し且つ転送電極 V 1 , V 2 , V 5 , V 6 は低電位に保って障壁を形成したままで、転送電極 V 3 を低電位に遷移する。これにより、転送電極 V 3 の下のポテンシャルが浅くなることで、転送電極 V 3 の下の信号電荷が全て転送電極 V 4 の下に移され、ここに信号電荷が蓄積される。

この時刻 T 1 から時刻 T 6 までの一連の駆動により、転送電極 V 1 の下の信号電荷が、転送電極 V 4 の下まで転送される。この時刻 T 1 ~ T 6 は垂直転送パルス  $\phi V 1 \sim \phi V 4$  の 1 周期のほぼ半分である。

続いて、時刻 T 7 では、転送電極 V 4 は高電圧に保って電極下に電荷井戸を形成し且つ転送電極 V 1 , V 2 , V 3 , V 6 は低電位に保って障壁を形成したままで、転送電極 V 5 を高電位に遷移する。これにより、転送電極 V 5 の下のポテンシャルが深くなることで、2つの電極 V 4 , V 5 による電荷井戸が形成され、転送電極 V 4 の下の信号電荷が転送電極 V 2 側にも移動する。

時刻 T 8 では、転送電極 V 5 は高電圧に保って電極下に電荷井戸を形成し且つ転送電極 V 1 ~ V 3 , V 6 低電位に保って障壁を形成したままで、転送電極 V 4 を低電位に遷移する。これにより、転送電極 V 4 の下のポテンシャルが浅くなることで、転送電極 V 4 の下の信号電荷が全て転送電極 V 5 の下に移され、ここに信号電荷が蓄積される。

時刻 T 9 では、転送電極 V 5 は高電圧に保って電極下に電荷井戸を形成し且つ転送電極 V 1 ~ V 4 は低電位に保って障壁を形成したままで、転送電極 V 6 を低電位に遷移する。これにより、転送電極 V 6 の下のポテンシャルが深くなることで、2つの電極

V 5, V 6 による電荷井戸が形成され、転送電極 V 5 の下の信号電荷が転送電極 V 6 側にも移動する。

時刻 T 1 0 では、転送電極 V 6 は高電圧を保って電極下に電荷井戸を形成し且つ転送電極 V 1 ~ V 4 は低電位を保って障壁を形成したままで、転送電極 V 5 を低電位に遷移する。これにより、転送電極 V 5 の下のポテンシャルが浅くなることで、転送電極 V 5 の下の信号電荷が全て転送電極 V 6 の下に移され、ここに信号電荷が蓄積される。

時刻 T 1 1 では、転送電極 V 6 は高電圧を保って電極下に電荷井戸を形成し且つ転送電極 V 2 ~ V 5 は低電位を保って障壁を形成したままで、転送電極 V 1 を低電位に遷移する。これにより、転送電極 V 1 の下のポテンシャルが深くなることで、2つの電極 V 6, V 1 による電荷井戸が形成され、転送電極 V 6 の下の信号電荷が転送電極 V 1 側にも移動する。

そして、時刻 T 1 2 では、転送電極 V 1 は高電圧を保って電極下に電荷井戸を形成し且つ転送電極 V 2 ~ V 5 は低電位を保って障壁を形成したままで、転送電極 V 6 を低電位に遷移する。これにより、転送電極 V 6 の下のポテンシャルが浅くなることで、転送電極 V 6 の下の信号電荷が全て転送電極 V 1 の下に移され、ここに信号電荷が蓄積される。

この時刻 T 7 から時刻 T 1 2 までの一連の駆動により、転送電極 V 4 の下の信号電荷が、転送電極 V 1 の下まで転送される。この時刻 T 7 ~ T 1 2 は、垂直転送パルス  $\phi V 1 \sim \phi V 6$  の 1 周期のほぼ半分である。

そして、以上のことから分かるように、時刻 T 0 から時刻 T 1 2 までの一連の駆動で、時刻 T 0 にて転送電極 V 1 の下に蓄積されていた信号電荷が、1画素分だけ離れた転送電極 V 1 の下まで転送される。そして、時刻 T 6 と時刻 T 1 2 (T 0 と等価) とで



は、電荷転送が180度ずれた状態（逆相）となっている。なお、時刻T2と時刻T6とでも、時刻T4とT8とでも電荷転送が180度ずれた状態となっている。

このように、上記によれば、6相駆動の1/6周期（60度位相ずれ）で1電極分、1/3周期（120度位相ずれ）で2電極分、1/2周期（180度位相ずれ）で3電極分を電荷転送でき、1周期で6電極分の電荷転送ができる。つまり、の駆動方式では、奇数列と偶数列の各ダミー垂直CCD132について、垂直転送電極3つ分（3レジスタ分）を違えることで、奇数列と偶数列とに垂直転送電極V1～V6を共通に使用しても、電荷検出部210に信号電荷が到達する位相が180度ずれた状態を形成できる。

そして、垂直転送パルス $\phi V1$ から $\phi V6$ の1周期（図6に示したT1～T12）により、奇数列の信号電荷がフローティングデフュージョンFDに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンFDに到達したときには、奇数列の信号電荷はまだ到達しない。

したがって、選択ゲート電圧 $V_{OG}$ を固定電圧とした状態で、時刻T1～T6で信号電荷を垂直転送し、水平走査することで奇数列の読出しを完結させる。次いで、リセットゲートパルス $\phi RG$ をオンさせてフローティングデフュージョンFDをクリアした後、残りの時刻T7～T12にて信号電荷を垂直転送し、水平走査することで偶数列を完結させる。このような処理を繰り返すことで、1画面分（撮像エリア100の全体分）の信号電荷に応じた時系列の画素信号を出力信号線290から出力することができる。

なお、上記説明から推測されるように、電荷転送が180度ずれた状態（逆相）を形成するには、垂直転送電極V1～V6を共用するのではなく、奇数列と偶数列とについて、それぞれ独立に

駆動可能な垂直転送電極 V 1 ~ V 6 を使用してもよい。この場合、ダミー垂直 C C D 1 3 2 は不要となり、垂直 C C D は同じ長さであってもかまわない。ただし、奇数列と偶数列とについて、独立に垂直転送電極 V 1 ~ V 6 をレイアウト(形成)する必要がある。

5   したがって、垂直転送電極側でのパターンニングが難しくなる。

図 7 及び図 8 は、垂直転送電極 V 1 ~ V 6 の配置を変えることで、この問題を解消しつつ、電荷転送を逆相にする一例を説明する図である。本例では、垂直転送電極 V 1 ~ V 4 を共用し、且つダミー垂直 C C D 1 3 2 を設けることなく、同一の水平列の感光部 1 2 0 の信号電荷が電荷検出部 2 1 0 に到達するときの電荷転送の位相が逆相となるようにしている。図 8 (A) に示すように、奇数列と偶数列とは、同一水平列における垂直転送電極 V 1 ~ V 6 の配列が逆相となるようにしている。このようにパターンニングするには、たとえば図 8 (B) に模式的にジグザグ状にパターン  
10   ングすればよい。

このように構成することで、垂直転送電極 V 1 ~ V 6 、選択ゲート V O G 用の電極など種々の電極を共用し、偶数列と奇数列とで共通の垂直転送パルス  $\phi$  V 1 ~  $\phi$  V 6 を用い、さらにダミー垂直 C C D 1 3 2 を設けなくても、フローティングデフュージョン F D 側に逆相で信号電荷を転送することができる。つまり、奇数列の信号電荷がフローティングデフュージョン F D に到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョン F D に到達したときには、奇数列の信号電荷はまだ到達しない。

25   図 9 は、第 1 実施形態の C C D 固体撮像素子を使用する場合における、垂直転送と水平方向の読出しを説明するタイミングチャートであり、1 水平走査期間における、垂直方向へ電荷転送と出力信号線 2 9 0 から時系列の画素信号を得るまでの全体像を示し

ている。

前述のように、垂直CCD130およびダミー垂直CCD132の各転送電極V1～V6に対応するレジスタ（電荷井戸）は、全て同一の垂直転送パルス $\phi V1 \sim \phi V6$ で駆動される。また、リセットゲートパルス $\phi RG$ は、対応する電極が共通に形成されているので、当然に、奇数列と偶数列とで共通に使用される。

図9に示す1つの水平期間における奇数列あるいは偶数列の各読出期間の期間に、垂直転送パルス $\phi V1 \sim \phi V6$ を図示したタイミングで駆動することで、垂直転送パルス $\phi V1 \sim \phi V6$ 下部のレジスタに蓄積されていた奇数列および偶数列の各信号電荷は順次、並列的（同時）にダミー垂直CCD132側に転送される。垂直CCD130の最終段の画素に対応するレジスタまで転送された各列の信号電荷は、ダミー垂直CCD132を介して電荷検出部210のフローティングデフュージョンFDに移される。

これにより、フローティングデフュージョンFDの電位が変化し、その電位を図示しないソースフォロワ型の増幅器を介して検出される。信号電荷が検出された後、リセットゲートパルス $\phi RG$ によりリセットゲート線（電極）RGをオンすることで、フローティングデフュージョンFDの電位はN+領域であるリセットドレインの電圧 $V_{RD}$ にリセットされる。

ここで、ダミー垂直CCD132において、奇数列と偶数列とのレジスタ（電荷井戸）は3段分ずれており、垂直転送パルス $\phi V1 \sim \phi V6$ の1周期（図示したT1～T12）において、信号電荷が180度ずれて（逆位相で）フローティングデフュージョンFDに到達するようにされている。このため、奇数列の信号電荷がフローティングデフュージョンFDに到達したときには、偶数列の信号電荷はまだ到達しない。逆に、偶数列の信号電荷がフローティングデフュージョンFDに到達したときには、奇数列の

信号電荷はまだ到達しない。

したがって、T 1 から T 1 2 の各タイミングで垂直転送パルス  $\phi V 1 \sim \phi V 6$  を図示したタイミングで駆動すると、前半の奇数列読出期間 (T 1 ~ T 7) の時刻 T 6 においてカラム A, C, E, ... の奇数列の信号電荷は、フローティングデフュージョン F D に転送され、電荷検出部 2 1 0 にて電圧信号に変換され (信号電荷が読み出され)、さらに帯域制限部 2 3 0 および C D S 処理部 2 5 0 を経由して列選択部 2 7 0 に入力される。時刻 T 6 と時刻 T 7 の間で、列選択部 2 7 0 に対する列選択パルス S P (n) の制御、すなわち列選択パルス生成部 2 8 0 による水平走査によって、1 ライン分のうちのカラム A, C, E, ... といった奇数列の信号電荷に対応した時系列の撮像信号が出力信号線 2 9 0 に出力される。

ここで、カラム A, C, E, ... の奇数列とカラム B, D, F, ... の偶数列のダミー垂直 C C D 1 3 2 の長さは、ちょうど電荷転送の位相が 1 8 0 度回転するように異なっているために、奇数列読出期間の T 1 ~ T 7 においてカラム A, C, E, ... の奇数列の信号電荷がフローティングデフュージョン F D に到達した時点 T 6 では、カラム B, D, F, ... の偶数列の信号電荷は、フローティングデフュージョン F D に到達していない。

列選択パルス生成部 2 8 0 により水平走査をした後の時刻 T 7 までの間においてリセットゲートパルス  $\phi R G$  によりリセットゲート R G のスイッチをオンにしてフローティングデフュージョン F D の電位をリセットレベルに戻してフローティングデフュージョン F D をクリアした後、リセットゲートのスイッチをオフにする。

そして、後半の偶数列読出期間の T 7 ~ T 1 の各タイミングで垂直転送パルス  $\phi V 1 \sim \phi V 6$  を図示したタイミングで駆動すると、先ほどのカラム A, C, E, ... の動作と同様に、カラム B,

D, F, ...の偶数列の信号電荷がフローティングデフュージョンFDに転送され始め、時刻T12でフローティングデフュージョンFDに到達する。このとき、奇数列の信号電荷は、電荷転送の位相が180度ずれているので、まだフローティングデフュージョンFDには到達していない。

偶数列の信号電荷は、フローティングデフュージョンFDに転送後、電荷検出部210にて電圧信号に変換され（信号電荷が読み出され）、さらに帯域制限部230およびCDS処理部250を経由して列選択部270に入力される。時刻T12と次の水平走査期間の時刻T1までの間で、列選択部270に対する列選択パルスSP(n)の制御、すなわち列選択パルス生成部280による水平走査によって、1ライン分のうちのカラムB, D, F...といった偶数列の信号電荷に対応した時系列の撮像信号が出力信号線290に出力される。

したがって図示するように、奇数列撮像信号の出力信号線290への出力を完結させ、偶数列撮像信号の出力信号線290への出力を完結させる、という処理を繰り返すことで、1水平走査期間分の信号電荷に応じた時系列の画素信号を出力信号線290から出力することができる。そして、この1水平走査期間分の処理を順に繰り返すことで、1画面分の信号電荷に応じた撮像信号を出力信号線290から出力することができる。

このように、隣接する垂直CCDの複数列（前例では奇数列および偶数列）の段数を違えて1組に纏めて1つの電荷検出部に割り当てることで、奇数列および偶数列の各信号電荷を時分割で順次電荷検出部側に読み出すことができる。そして、たとえばフローティングデフュージョンFDを使用した電荷検出部210とする場合、その複数列（前例では奇数列および偶数列）に共通の選択ゲートVOGを設けることにより、選択ゲートVOGに繋がる

配線の数減らすことができ、たとえばCDS処理部250を内蔵するなどといった点で、面積を有効的に活用できるようになる。また、電荷検出部210以降の回路も電荷検出部210の数と同じだけあればよく、複数列（前例では奇数列および偶数列）を1組に纏めた分だけ削減できるので、消費電力を減らすことができる。

図10は、読出処理部200における、電荷検出部210、帯域制限部230、CDS処理部250、および列選択部270についての、1ユニット分の第1の構成例を示す図であって、図10(A)は回路図、図10(B)は動作を説明するタイミングチャートである。

この読出処理部200において、電荷検出部210は、CCD固体撮像素子10に内蔵型の前段出力部（プリアンプ）を構成するものであり、駆動MOSトランジスタ（DM；Drive MOS）DMと、負荷MOSトランジスタ（LM；Load MOS）LMによるソースフォロア（電流増幅回路）構造を有し、またリセットゲートパルス $\phi_{RG}$ に基づいて制御されるリセットゲート端子を有するMOSトランジスタ（RGTr）を備え、垂直CCD130からの信号電荷を電圧信号に変換する機能を備える。なお、図では、1段構成のソースフォロアとしているが、複数段のソースフォロアとしてもよい。

駆動MOSトランジスタDMのゲートには、垂直CCD130から選択ゲートVOGを介して供給される信号電荷を蓄積するフローティングデフュージョンFDが接続され、また信号電荷を排出するためのリセットドレイン電源VRDの間にリセットゲートRG用のMOSトランジスタRGTrのソースが接続されている。フローティングデフュージョンFDは、選択ゲートVOGを介して、奇数列（odd）と偶数列（even）の2列分の垂直CC

D 1 3 0 が接続され、フローティングデフュージョンアンプ F D A が構成されている。リセットドレイン電源 V R D は、電源 V D D と共通としてもよい。

この電荷検出部 2 1 0 において、選択ゲート V O G には所定の  
5 選択ゲート電圧 V o g が印加され、リセットゲート線 R G には信号電荷の検出周期でリセットゲートパルス  $\phi$  R G が印加される。そして、フローティングデフュージョン F D に蓄積された信号電荷は信号電圧に変換され、駆動 M O S トランジスタ D M と負荷 M O S トランジスタ L M からなるソースフォロア構成の出力回路を介  
10 して画素信号として導出される。

そして、ある時刻に初段ソースフォロアのゲート容量に蓄えられていた、直前の信号電荷がリセットゲート線 R G にパルスを与えるとリセットされる。このとき、端子 A は、リセット電位になる。B 点は、初段ソースフォロアの出力インピーダンスと帯域制限容量 C o u t で決まる時定数だけ遅れて、リセット電位が確定  
15 する。B 点でリセット電位が確定したとき、クランプパルス C L P にパルスが入力され、そのリセット電位がクランプされる。

次に、入力パルスにより信号電荷が端子 A に入力される。すると、端子 A は、信号電荷の分だけ電位が下がる。そして B 点は、  
20 リセット時と同様に時定数だけ遅れて信号電位が確定する。このとき、ホールドパルス H P にパルスを与え、そのときの電位を C 点に蓄える。C 点には、信号電位とリセット電位の差の電位が蓄えられる。

その後、列選択パルス生成部 2 8 0 により列選択部 2 7 0 に列  
25 選択パルス S P ( n ) を与えることで、出力信号線 2 9 0 に撮像信号出力する。この動作において、信号電位を検出している時間とリセット電位を検出している時間を同じにしている。これは、後段の C D S 処理部 2 5 0 で信号電位とリセット電位の差を取る

ときに、2つの電位が同一の帯域で制限され、同レベルの雑音成分を持つ必要があるためである。つまり、一方だけが雑音成分が低い信号であっても、差を取った信号は雑音成分が大きくなるためである。

- 5      このような構成により、初段ソースフォロアの出力インピーダンスと帯域制限容量C o u tで構成される低域通過フィルタで帯域を制限できるため、出力信号中に含まれる雑音成分を小さくできる。また、この読出処理部200は、実質的に信号電荷のない期間におけるリセット電位と実質的に信号電荷のある期間の信号
- 10    電位との差（出力差）を検知するC D S 処理部250を内蔵しているため、C D S（相関2重サンプリング）機能により、直前の電荷をリセットしたときの電位のばらつきで発生するリセット雑音や固定パターンノイズ（F P N ; Fixed Pattern Noise）も同時に抑圧することができ、S / Nの良好な信号を得ることができる。
- 15    なお、電荷検出部210における変換ゲインの違いによる濃度むらは、比較的高い周波数となるので、画像上における濃度むらは視認されず、殆ど問題とならない。

- また、電荷検出部210と同様に、垂直C C D 130の複数列（本例では2列）に対して、それぞれ1つの帯域制限部230や
- 20    C D S 処理部250を設けるだけでよく、素子面積や消費電力の削減に寄与する。また、外付けでC D S 回路を構成する必要がないので、周辺回路を削減することもできる。

- 以上の構成は、2本の垂直C C D 130ごとに電荷検出部210などを設けたものであるが、もちろん3本以上の垂直C C D 1
- 25    30につき1つの電荷検出部210やC D S 処理部250などを設け、さらなる時分割で使用してもよい。この構成では、電荷検出部210やC D S 処理部250などの総数をさらに減らすことができるので、素子面積や消費電力を一層減らすことができる。



また、図 2 の構成において、選択ゲート VOG を省略することもできる。

図 10 に示した電荷検出部 210 は、フローティングデフュージョンを用いて構成した場合であるが、これに限らず、たとえば  
5 フローティングゲート (197391 年

ISSCC DIGEST OF TECHNICAL PAPERS (アイ・エス・エス・シー・シー ダイジェスト オブテクニカルペーパー) pp154~155 参照) を用いてもよい。フローティングゲートを用いると、直流分をカットした信号を得られるため、次段のアンプにおいて電源  
10 電圧の半分付近に動作点を持つていくことが容易にできる。そのため、電源電圧を最大限に用いたダイナミックレンジを得ることができる。

図 11 は、読出処理部 200 における、電荷検出部 210、帯域制限部 230、CDS 処理部 250、および列選択部 270 につ  
15 いての、1 ユニット分の第 2 の構成例を示す回路図である。この第 2 の構成例は、電荷検出部 210 以降の回路を、信号成分の検出系とリセット雑音成分の検出系といった 2 系統に分けて処理するようにしたものである。すなわち、帯域制限容量  $C_a$  を有する第 1 の帯域制限部 230a と、帯域制限容量  $C_b$  を有する第 2  
20 の帯域制限部 230b とを用いて、信号成分とリセット雑音成分を別々に帯域制限することに特徴がある。

電荷検出部 210 と信号成分検出系の帯域制限部 230a との間には、信号成分選択 MOS トランジスタ 220a が配され、帯域制限部 230a は、信号成分用帯域制限容量  $C_a$  を有する。帯  
25 域制限部 230a と出力信号線 290 との間には、信号成分用列選択 MOS トランジスタ 222a が配されている。また、電荷検出部 210 とリセット雑音成分検出系の帯域制限部 230b との間には、リセット雑音成分選択 MOS トランジスタ 220b が

配され、帯域制限部 230b は、リセット雑音成分用帯域制限容量を有する。帯域制限部 230b と出力信号線 290 との間には、リセット雑音成分用列選択 MOS トランジスタ 222b が配されている。電荷検出部 210 やその周辺部は、第 1 の構成例と同様である。

第 1 の構成の動作において、端子 A に信号成分が入力されているときには、信号成分選択 MOS トランジスタ 220a をオンに、端子 A にリセット雑音成分が入力されているときは、リセット雑音成分選択 MOS トランジスタ 220b をオンにする。すると、  
10 信号成分用帯域制限容量  $C_a$  に信号成分が、リセット雑音成分用帯域制限容量  $C_b$  にリセット雑音成分が蓄積する。そして、列が選択されたときにリセット雑音成分用列選択 MOS トランジスタ 222b と信号成分用列選択 MOS トランジスタ 222a を順にオンする。すると、出力信号線 290 には、リセット雑音成分と  
15 信号成分が順に出力され、外付けの CDS 回路に入力される。

CDS 回路で発生する雑音は、図 10 で示されるクランプ容量  $C_L$  とホールド容量  $C_h$  に依存している。これらの容量をできるだけ大きくすると発生する雑音は小さくなる。この第 2 の構成例では、リセット雑音成分と信号成分を順に出力することにより、  
20 外付けで CDS 処理を施すことができる。外付けで CDS 処理を施すことにより、クランプ容量  $C_L$  とホールド容量  $C_h$  の値を大きくすることができるため、CDS 回路で発生する雑音を小さくすることができる。

図 12 は、読出処理部 200 の後段に繋がる信号処理回路を含めた撮像装置 20 の全体構成の一例を示したブロック図である。  
25 ここでは、第 1 実施形態の CCD 固体撮像素子 40 を使用して撮像装置 20 から画像を再生するためのシステムブロック図を示す。

信号処理部 300 は、出力信号線 290 と接続され、アナログ

の撮像信号をデジタルの撮像データに変換するA/D変換部310と、デジタル化された撮像データを1画面分ずつ記憶する画像記憶部（フィールドメモリ）320と、画像記憶部320のデータ書込みや読出しを制御するメモリ制御部330とを有する。画像記憶部320とメモリ制御部330とにより、本発明に係る水平列整合部が構成される。すなわち、読出処理部200から出力された奇数列と偶数列のそれぞれの撮像信号の個々の画素信号を奇数列と偶数列との並びに応じて水平列の方向に並び替えることにより、水平列の方向に順序が揃った撮像信号を得る水平列整合部として機能する。

また信号処理部300は、画像記憶部320から読み出されたビデオデータをアナログ信号に変換するD/A変換部340と、D/A変換部340によりアナログ信号に変換されたビデオ信号に基づいて、放送フォーマットの一例であるNTSC信号を生成するNTSCコンバータ350と、NTSCコンバータ350から出力されたNTSC信号に基づいて可視画像を表示するディスプレイ360とを有する。

この構成にいて、各感光部120で光電変換された信号電荷は、それぞれ対応する垂直CCD130に読み出される。垂直CCD130に読み出された信号電荷は、互いに隣接する複数ラインを1組としてフローティングデフュージョンFDを介して電荷検出部210に時分割で順に並列に転送される。

電荷検出部210に転送された各垂直列の信号電荷は、電荷検出部210にて電圧信号に変換され、CDS処理部250によりオフセットノイズや固定パターンノイズが抑制され、列選択パルス生成部280による列選択部270に対する水平走査機能により、撮像エリア100における個々の感光部120に対応する撮像信号が時系列で出力信号線290から出力される。

出力信号線 290 から時系列で出力された個々の感光部 120 に対応する撮像信号は、信号処理部 300 に入力され、A/D 変換部 310 により A/D 変換されて画像記憶部 320 に格納される。画像記憶部 320 にはメモリ制御部 330 が接続されており、  
5 蓄積領域のアドレス設定、読み出し順序の制御などが行なわれる。

第 1 実施形態の CCD 固体撮像素子 40 の場合には、垂直 CCD 130 の奇数列と偶数列の各信号電荷が時分割で読出処理部 200 に転送され電圧信号に変換された後、列選択パルス生成部 280 による列選択部 270 に対する水平走査機能により、撮像エ  
10 リア 100 における個々の感光部 120 に対応する撮像信号が時系列化される。したがって、水平走査期間ごとに、前半の水平走査期間には、奇数列についてのみ時系列化された撮像信号が最初に出力され、その後、後半の水平走査期間には、偶数列についてのみ時系列化された撮像信号が出力される。

15 この奇数列と偶数列とが時分割で出力された撮像信号がデジタル化されて画像記憶部 320 側に送られてくるが、メモリ制御部 330 により、撮像エリア 100 の画素位置に対応するように書込み時の画像記憶部 320 のアドレスを設定することで、撮像エリア 100 上の撮像画像情報と画像記憶部 320 の画像情報とが  
20 同一の配列となる。

このようにして、たとえば格納領域 320-1 ~ 320-(2n-1) には、垂直 CCD 130 における奇数列にあった信号電荷に対応する画像データを格納させ、格納領域 320-2 ~ 320-(2n) には、垂直 CCD 130 における偶数列にあった信  
25 号電荷に対応する画像データを格納させることができる。

画像を再生する場合には、画像記憶部 320 内の格納領域 320-1 ~ 320-2n について、画像データを順にシリアルデータとして読み出し、D/A 変換部 340、NTSC コンバータ 3

50を介してディスプレイ360に表示する。

なお、前例では、撮像エリア100上の撮像画像情報と画像記憶部320の画像情報とが同一の配列となるように、メモリ制御部330により、画像記憶部320へのデータ格納時に書込み位置を制御していたが、書込み時ではなく読出時に制御してもよい。すなわち、先ず、画像記憶部320についての格納領域の模式図を図8(B)に示すように、画像記憶部320の格納領域を奇数列領域と偶数列領域とに分け、書込時にはA/D変換部310から奇数列分と偶数列分とで順に入力されるデータを、それぞれの格納領域にデータの入力順に格納する。そして読出時には、分けておいた奇数列領域と偶数列領域とから、各水平走査期間内で、A、B、C、D、奇数列と偶数列のデータを交互に読み出してD/A変換部340に供給する。このようにすることで、撮像エリア100上の撮像画像情報とディスプレイ360上の画像とを同一の配列にすることができる。

また、図示しないが、画像記憶部320としてフィールドメモリを使う代わりに、奇数列および偶数列のそれぞれについて半ライン分の画素数に応じた段数のシフトレジスタ(FIFOメモリ)およびシフトレジスタを切り替える選択回路を使用することにより、撮像エリア100上の撮像画像情報の配列順に合った1水平ライン分の時系列の信号に変換(データを水平方向に順に並ぶように並び換える)することもできる。

以上説明したように、第1実施形態の撮像装置20によれば、CCD固体撮像素子の画素数を多くした際に問題になる水平CCDのクロック周波数が限界になる問題を、水平CCDを用いずに、複数の垂直CCDを1組として時分割で電荷検出部(前例ではフローティングデフュージョンを利用したアンプFDA)に転送し、この電荷検出部にて電圧信号に変換し、その後、この垂直列の電

圧信号を水平方向に順に切り替えて読み出すことで解決できる。  
垂直列を時分割で読み出すことによるデータ系列の並び替えは、  
比較的簡単な回路で実現できるので、問題ない。

加えて、時分割ではあるものの、垂直CCDごとに信号電荷を  
5 読み出すことができるので、多画素化のために生じる1画素当  
りの感度低下を、隣接画素（もしくは2画素離れた所にある同色  
画素）の信号を利用して、補完することができる。

また、複数列の垂直CCDをまとめて電荷検出部（前例ではフ  
ローティングデフュージョンアンプFDA）に繋げるときに、列  
10 によって垂直CCDの長さ、すなわち垂直転送電極で規定される  
レジスタ（パケット）の段数を変え、電荷検出部に到達するとき  
の電荷転送の位相を反転させることによって、垂直転送電極を共  
用しても、垂直CCD列選択のための選択ゲートを複数（前例で  
は2つ）用いることなく、1つで電荷検出部に読み出すことが  
15 できる。その結果、電荷検出部周辺の配線数を減らすことができ、  
固体撮像素子の微細化に関して、CDS回路やその他の回路の内  
蔵といった点において面積を有効に活用することができる。

また、時分割ではあるものの、実質的には、各垂直CCDごと  
に電荷検出部が設けられることになるため、電荷検出部には1水  
20 平走査期間に数回（1つの電荷検出部が担当する垂直列と同数）  
分の信号しか入力されず、信号の周波数帯域は大幅に小さくなる。  
そこで、電荷検出部を構成するアンプの周波数帯域をローパスフ  
ィルタを用いて制限することができる。これにより、同時にトラ  
ンジスタで発生する熱雑音の帯域も制限することができ、雑音成  
25 分を小さくすることができる。そして、信号帯域を下げることが  
できるため、それだけ帯域制限部により雑音帯域も狭くすること  
ができ、S/N比の良好な画像を得ることができる。

図1・3及び図1・4は、第1実施形態のCCD固体撮像素子40

の変形例を説明する図であって、垂直 C C D 1 3 0 と読出処理部 2 0 0 との境界部分近傍の平面模式図である。ここで、図 1 3 に示す第 1 の変形例は、隣接する垂直列の 2 組をさらに 1 つのグループにし、2 つの組のダミー垂直 C C D 1 3 2 の段数の配置形態を互い違いにすることで、隣接する選択ゲート V O G 用の電極を接続して、引出線を共用するようにしたものである。

つまり、2 組の中心線を境にしてこの中心線からの距離に応じてダミー垂直 C C D 1 3 2 の段数が順次変わるようにしている。また、この図 1 3 に示す第 1 の変形例では、さらに、前記 2 組の中心線とは異なる位置の中心線で隣接するリセットゲート線も接続して、引出線を共用可能にしている。この第 1 の変形例の形態によれば、隣接する他の組との間で、選択ゲート V O G 用やリセットゲート線用の電極を接続したので、引出線をさらに少なくすることができる。

なお、図 1 3 では、たとえば、カラム A とカラム B の隣接する垂直列の組およびカラム C とカラム D の隣接する垂直列の組の 2 組を 1 つのグループにし、カラム E, F の組およびカラム G, H の 2 組を 1 つのグループにし、カラム B とカラム C との間にて選択ゲート V O G 用の電極を接続する一方、カラム D とカラム E との間のリセットゲート線を接続しているが、これとは異なるグルーピングにしてもよい。

たとえば、カラム C, D の組およびカラム E, F の 2 組を 1 つのグループにし、同じくカラム D, E 間で選択ゲート V O G 用の電極を接続してもよい。図 1 4 に示す第 2 の変形例は、この形態をさらに発展させたもので、選択ゲート V O G 用の電極を全て接続し、選択ゲート電極の引出線をなお一層少なくすることができるようにしている。この場合、引出線の数は一時的には 1 つでよいが、線抵抗の問題が生じる。したがって、実際には、線抵抗と

配線の困難性とのバランスを考慮して、選択ゲートVOG用の電極と引出線との取付位置を決定するとよい。

図15は、第1実施形態のCCD固体撮像素子40において、4相駆動の垂直転送パルス $\phi V1 \sim \phi V4$ を使用する場合におけるタイミングチャートの変形例、並びに電極と信号電荷の位置関係を説明する図である。この変形例は、垂直転送パルス $\phi V1 \sim \phi V4$ を90度ずらしで駆動する点に特徴を有する。4相駆動用の垂直転送パルス $\phi V1 \sim \phi V4$ が印加される転送電極V1～V4以外の他の構成は図1と同様である。

10 この変形例では、電極と信号電荷の位置関係の図15から分かるように、次のような利点が得られる。即ち奇数列については、パケットV4の信号電荷がフローティングデフュージョンFDに転送される際に相手方の偶数列のパケットV2が期間t1の間、障壁として作用する。また、偶数列については、パケットV2の  
15 信号電荷がフローティングデフュージョンFDに転送される際に相手方の奇数列のパケットV4が期間t2の間、障壁として作用する。

なお、この変形例は、蓄積パケットサイズが、小さいときには、電源電圧VDDを高くして電圧ポテンシャルの深さで稼ぐことで  
20 解消することができる。

図16は、第3実施形態のCCD固体撮像素子40を説明する図である。この第3実施形態は、隣接する2つの垂直CCDを1組に纏めて1つの電荷検出部に割り当てるという点で、第1実施形態のCCD固体撮像素子40と共通するが、ダミー垂直CCD  
25 132を設けておらず、その垂直CCDの段数は同じままである。つまり、2列の垂直CCD130を1つのフローティングデフュージョンアンプFDA構成の電荷検出部210で読み出すようにしている。



図 1 6 (A) に示すように、フローティングデフュージョンを挟む各垂直 CCD 1 3 0 の反対側から選択ゲート V O G の配線を繋ぐことができるので、3 つ以上を纏めて 1 つの電荷検出部 2 1 0 に割り当てる構成では中央部の選択ゲート V O G への配線スペースが問題となるのに比べると、配線上の制約は減るので、比較的、実パターンでも問題はない。

ただし、図 1 6 (B) に示すように、垂直 CCD 1 3 0 の選択ゲート用の配線が垂直 CCD 1 3 0 の数だけ必要であることには変わらないので、その配線が面積中に占める割合は、第 1 あるいは第 2 の実施形態の構成より、大きくなってしまう。

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組み合わせにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この構成要件が削除された構成が発明として抽出され得る。

たとえば、上記実施形態では 6 電極 / 6 相駆動や 4 電極 / 4 相駆動に適した一例を説明したが、垂直転送電極の数や転送パルスの位相関係は、上述したタイミングのものに限定されない。また、転送パルスとの関わりで、2 列や 3 列に限らず、より多くの列を 1 つの電荷検出部に割り当てることもできる。

要するに、隣接する複数の垂直列を1つの電荷検出部に割り当てたとき、同一水平列の信号電荷が、それぞれ異なる位相で電荷検出部に到達するように、ダミー垂直転送部（実質的に垂直CCDと同じ）の段数や垂直転送電極の配置あるいは垂直転送パルスの

5   のタイミングを適宜変更すればよい。ダミー垂直転送部の段数や垂直転送電極の配置が同じであって、駆動方法のみが異なる、つまり転送パルスのタイミングのみが異なるものであってもよい。

また、上記実施形態ではインターライン転送型のCCD固体撮像素子に適用したもので説明したが、これに限らず、フレームイ

10   ンターライン転送型、フルフレーム転送型、フレーム転送型など、他の転送方式のCCD固体撮像素子に適用してもよい。

さらに、垂直転送部をCCDの代わりにCSD（charge swept device）に置き換えるなど、電荷転送部の形式も、他のものを使用することができる。

## 請求の範囲

1. 水平列および垂直列の各方向に2次元状に配列され、光を受  
光することで信号電荷を得る複数の感光部と、前記感光部によ  
り得た前記信号電荷を前記垂直列の方向に転送する垂直列電  
荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記  
5 垂直列電荷転送部により転送された前記信号電荷を画素信号  
に変換する電荷検出部とを備えるとともに、前記隣接する複数  
の垂直列について、前記感光部で得た前記水平列の方向におけ  
る同一位置の前記信号電荷を前記電荷検出部に到達させると  
10 きの電荷転送の位相が異なるものとなるように形成されてい  
る固体撮像素子。
2. 水平列および垂直列の各方向に2次元状に配列され、光を受  
光することで信号電荷を得る複数の感光部と、前記感光部によ  
り得た前記信号電荷を前記垂直列の方向に転送する垂直列電  
荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記  
15 垂直列電荷転送部により転送された前記信号電荷を画素信号  
に変換する電荷検出部と、前記垂直列電荷転送部と前記電荷検  
出部との間に配された、前記複数の垂直列のそれぞれについて  
電荷転送の段数が異なるダミー電荷転送部とを備えている固  
20 体撮像素子。
3. 前記隣接する複数の垂直列電荷転送部は、垂直転送駆動用の  
電極が共通に使用される請求の範囲第2項に記載の固体撮像  
素子。
4. 前記電荷検出部は、隣接する2列の前記垂直列ごとに設けら  
25 れている請求の範囲第2項に記載の固体撮像素子。
5. 前記ダミー電荷転送部は、同一の前記水平列の前記感光部の  
信号電荷を前記電荷検出部に到達させるときの電荷転送の位  
相が前記隣接する2列の垂直列の間で180度反転したもの

となる分だけ、前記電荷転送の段数が異なる請求の範囲第4項に記載の固体撮像素子。

6. 水平列および垂直列の各方向に2次元状に配列され、光を受光することで信号電荷を得る複数の感光部と、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部とを備え、前記隣接する複数の垂直列について、共通の垂直転送制御信号が印加されたとき、前記感光部で得た前記水平列の方向における同一位置の前記信号電荷を前記電荷検出部に到達させるときの電荷転送の位相が異なるものとなるように垂直転送駆動用の電極が形成されている固体撮像素子。
7. 前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第1項に記載の固体撮像素子。
8. 前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第2項に記載の固体撮像素子。
9. 前記電荷検出部は、前記信号電荷の入力側に、前記隣接する複数の垂直列について共用される、前記信号電荷を読み出すための選択ゲートを有する請求の範囲第6項に記載の固体撮像素子。
10. 前記選択ゲートへの配線は、隣接する他の前記電荷検出部についての前記選択ゲートへの配線と共用されている請求の範囲第1項に記載の固体撮像素子。

- 1 1. 前記選択ゲートへの配線は、隣接する他の前記電荷検出部  
についての前記選択ゲートへの配線と共用されている請求  
の範囲第2項に記載の固体撮像素子。
- 5 1 2. 前記選択ゲートへの配線は、隣接する他の前記電荷検出部  
についての前記選択ゲートへの配線と共用されている請求  
の範囲第6項に記載の固体撮像素子。
- 10 1 3. 水平列および垂直列の各方向に2次元状に配列され、光を  
受光することで信号電荷を得る複数の感光部と、前記感光部  
により得た前記信号電荷を前記垂直列の方向に転送する垂  
直列電荷転送部と、隣接する2つの前記垂直列ごとに設けら  
れ、前記垂直列電荷転送部により転送された前記信号電荷を画  
素信号に変換する電荷検出部とを備え、前記電荷検出部は、  
前記信号電荷の入力側に、前記隣接する2つの垂直列につい  
てそれぞれ独立に設けられた、前記信号電荷を読み出すため  
15 の選択ゲートを有する固体撮像素子。
- 1 4. 前記電荷検出部は、前記信号電荷を前記画素信号に変換し  
た後に初期化するためのリセットゲートを前記電荷検出部  
ごとに有する請求の範囲第1項に記載の固体撮像素子。
- 20 1 5. 前記電荷検出部は、前記信号電荷を前記画素信号に変換し  
た後に初期化するためのリセットゲートを前記電荷検出部  
ごとに有する請求の範囲第2項に記載の固体撮像素子。
- 1 6. 前記電荷検出部は、前記信号電荷を前記画素信号に変換し  
た後に初期化するためのリセットゲートを前記電荷検出部  
ごとに有する請求の範囲第6項に記載の固体撮像素子。
- 25 1 7. 前記電荷検出部は、前記信号電荷を前記画素信号に変換し  
た後に初期化するためのリセットゲートを前記電荷検出部  
ごとに有する請求の範囲第13項に記載の固体撮像素子。
- 1 8. 前記電荷検出部の後段に、前記画素信号における前記信号

電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第1項に記載の固体撮像素子。

19. 前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第2項に記載の固体撮像素子。

20. 前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第6項に記載の固体撮像素子。

21. 前記電荷検出部の後段に、前記画素信号における前記信号電荷のないときの出力と前記信号電荷のあるときの信号レベルの差を検知する差動検知部を備えている請求の範囲第13項に記載の固体撮像素子。

22. 前記隣接する複数の垂直列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数の電荷検出部の後段に、当該複数の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第1項に記載の固体撮像素子。

23. 前記隣接する複数の列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数の電荷検出部の後段に、当該複数の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第2項に記載の固体撮像素子。

2 4 . 前記隣接する複数列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数列の電荷検出部の後段に、当該複数列の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第 6 項に記載の固体撮像素子。

2 5 . 前記隣接する複数列についての前記電荷検出部が、さらに前記複数の垂直列を組として前記垂直列の方向に複数個設けられており、当該複数列の電荷検出部の後段に、当該複数列の電荷検出部のそれぞれから出力された前記画素信号を前記水平列の方向に順次時系列に選択して出力する水平走査部を備えた請求の範囲第 1 3 項に記載の固体撮像素子。

2 6 . 水平列および垂直列の各方向に 2 次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子から画素信号を得る固体撮像素子の駆動方法であって、前記隣接する複数の前記垂直列についての前記画素信号が、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力されるよう、前記固体撮像素子を駆動する固体撮像素子の駆動方法。

2 7 . 前記垂直列電荷転送部は、6 相駆動で駆動される請求の範囲第 2 6 項記載の駆動方法。

2 8 . 前記電荷検出部は、前記信号電荷の入力側に、前記信号電荷を読み出すための選択ゲートと、前記信号電荷を前記画素信号に変換した後に初期化するためのリセットゲートを有しており、前記選択ゲートがオフのときに前記リセット

ゲートをオンさせる請求の範囲第 2 6 項記載の駆動方法。

2 9 . 水平列および垂直列の各方向に 2 次元状に配列された感光部により得た信号電荷を前記垂直列の方向に転送する垂直列電荷転送部と、隣接する複数の前記垂直列ごとに設けられ、  
5 前記垂直列電荷転送部により前記垂直列の方向に転送された前記信号電荷を画素信号に変換する電荷検出部とを有する固体撮像素子を用いて撮像信号を得る撮像方法であって、前記隣接する複数の前記垂直列についての前記画素信号を、前記垂直列の方向への前記信号電荷の転送における異なる  
10 位相で取得し、この取得した画素信号を前記水平列の方向に順次時系列に選択することにより、前記異なる位相のそれぞれについての撮像信号を得、その後、前記複数の垂直列の並び順に応じて前記撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る撮像方法。

3 0 . 前記垂直列電荷転送部は、6 相駆動で駆動される請求の範囲第 2 9 項記載の駆動方法。

3 1 . 水平列および垂直列の各方向に 2 次元状に配列され、光を受光することで信号電荷を得る複数の感光部、前記感光部により得た前記信号電荷を前記垂直列の方向に転送する垂直列電荷転送部、隣接する複数の前記垂直列ごとに設けられ、  
20 前記垂直列電荷転送部により転送された前記信号電荷を画素信号に変換する電荷検出部、前記垂直列電荷転送部と前記電荷検出部との間に配された、前記複数の垂直列のそれぞれ  
25 について電荷転送の段数が異なるダミー電荷転送部を備えてなる固体撮像素子と、前記固体撮像素子から、前記垂直列の方向への前記信号電荷の転送における異なる位相で出力された画素信号を前記水平列の方向に順次時系列に選択す



5

ることにより、前記異なる位相のそれぞれについての撮像信号を得る水平走査部と、前記複数の垂直列の並び順に応じて前記水平走査部から出力された撮像信号の前記画素信号を前記水平列の方向に並び替えることにより、前記水平列の方向に順序が揃った撮像信号を得る水平列整合部とを備えた撮像装置。

FIG. 1

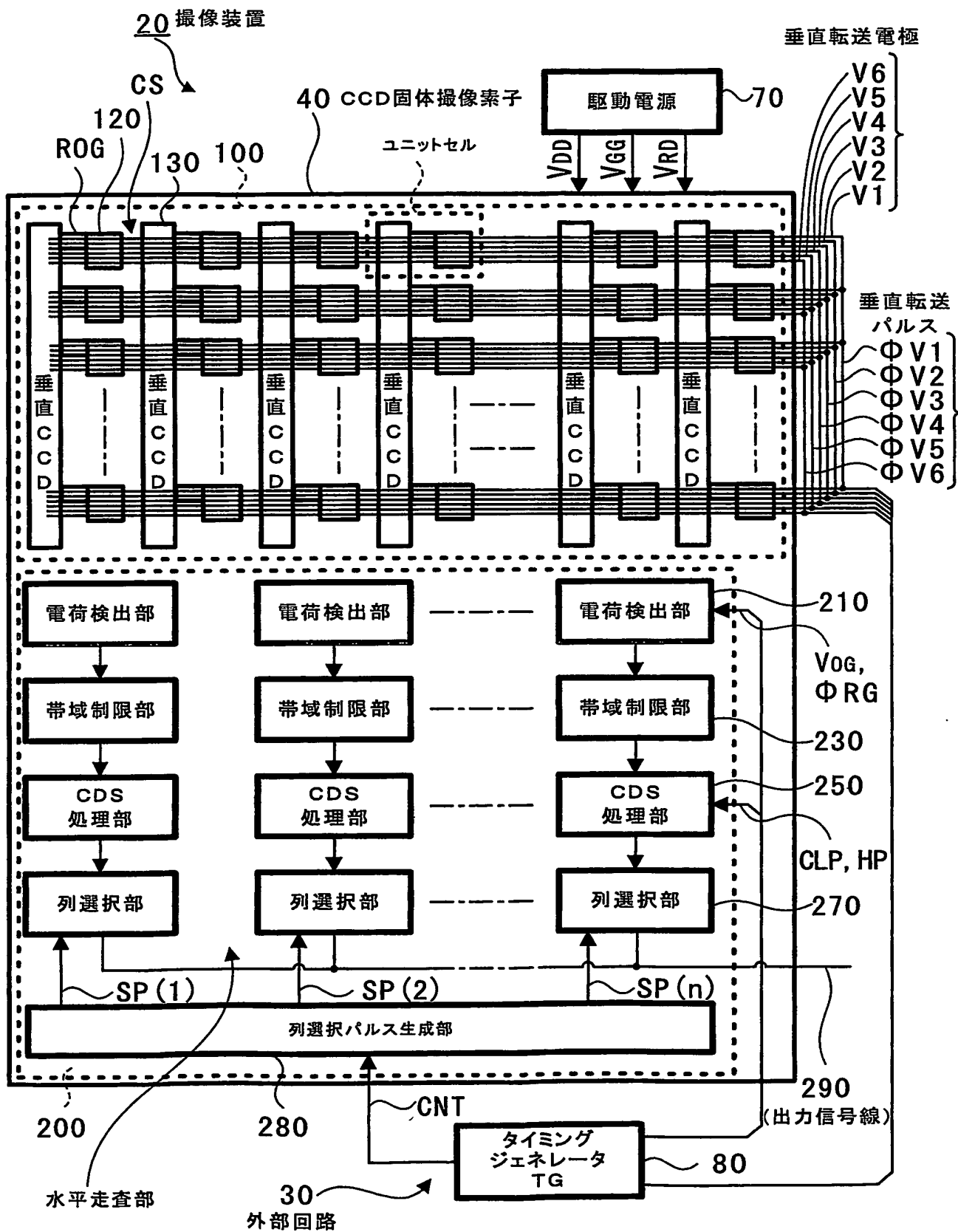


FIG. 2

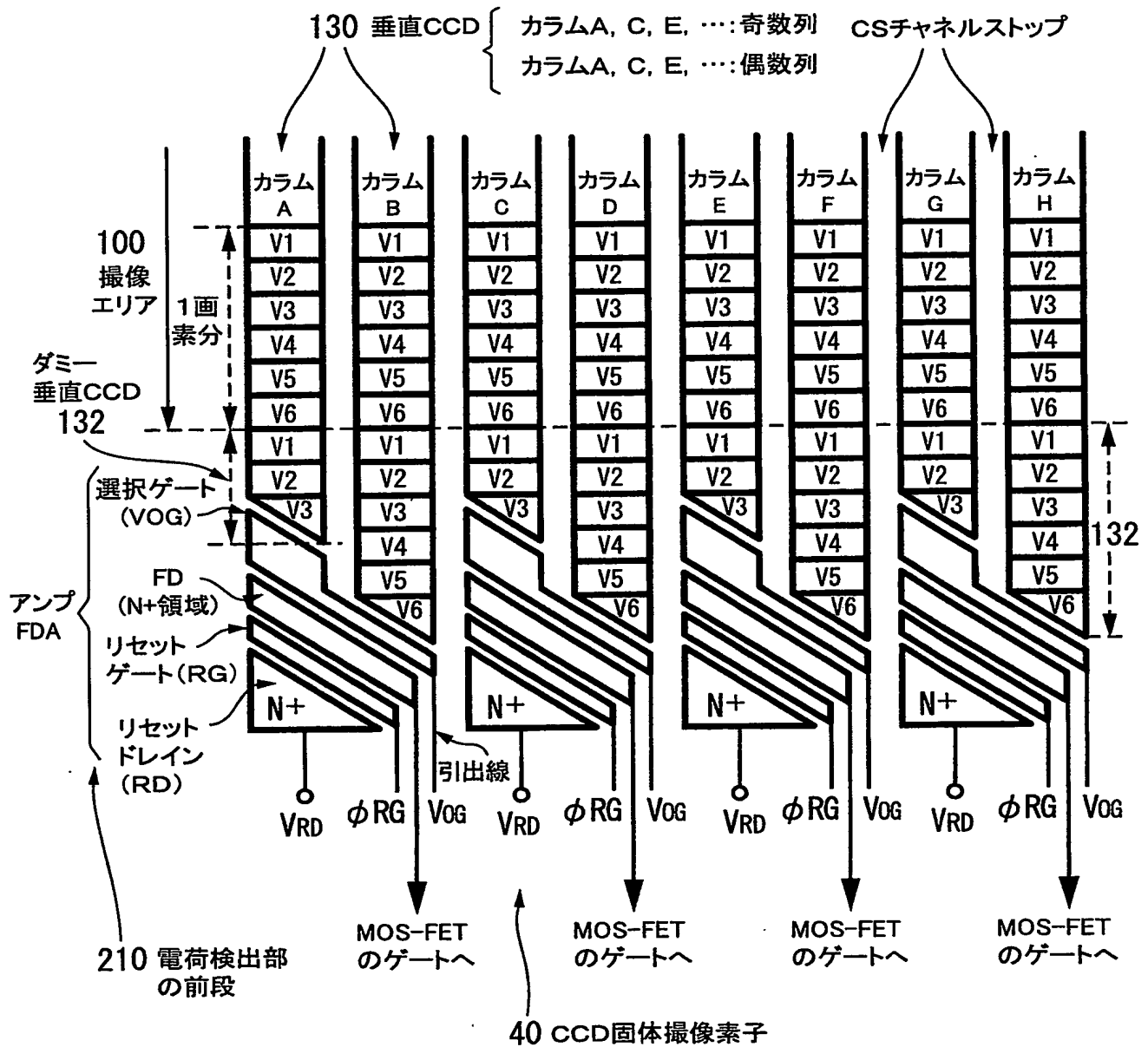


FIG. 3

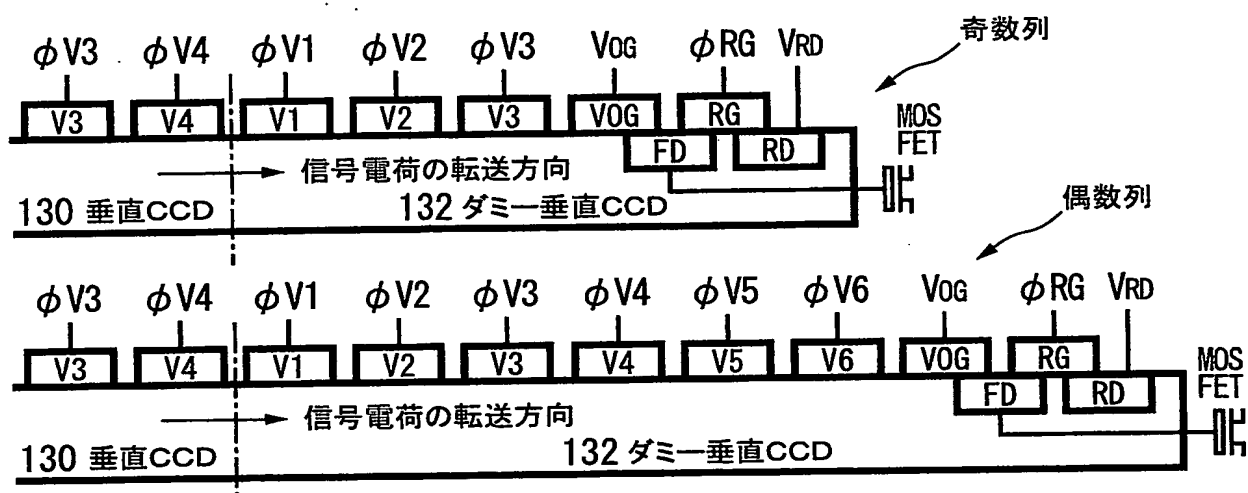


FIG. 4

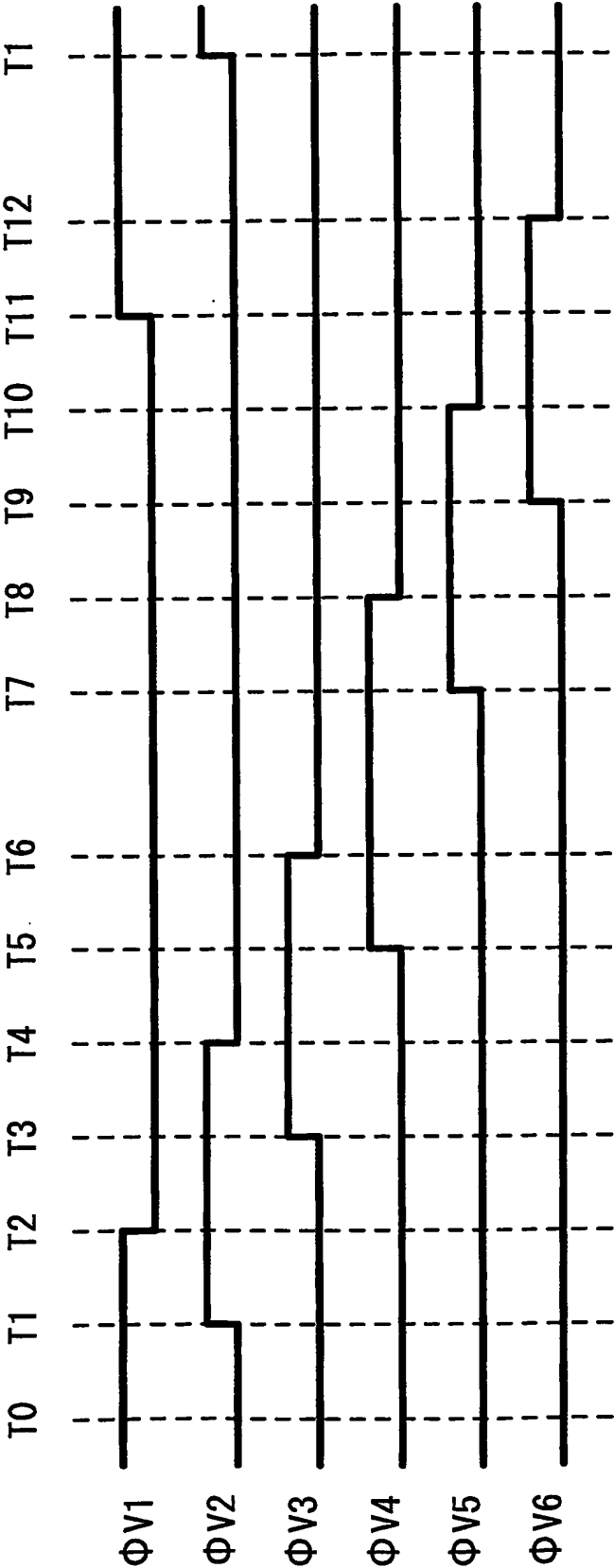
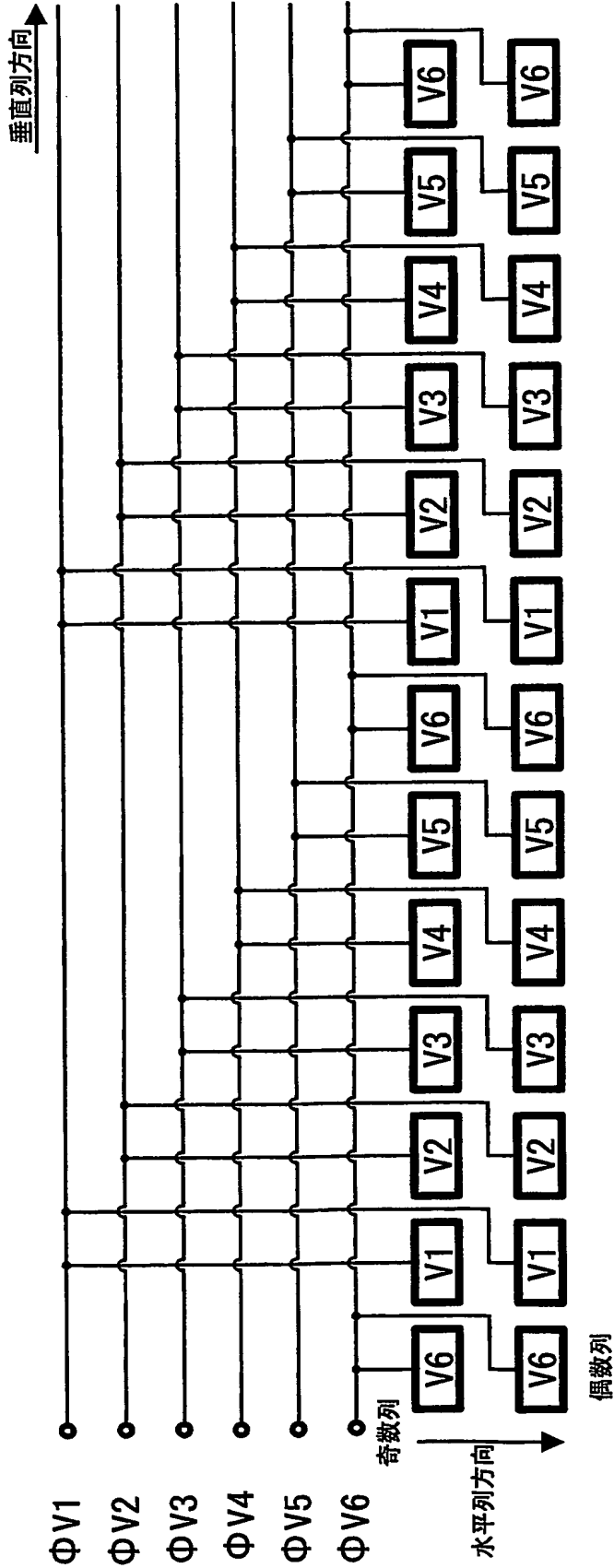


FIG. 5



**FIG. 6**

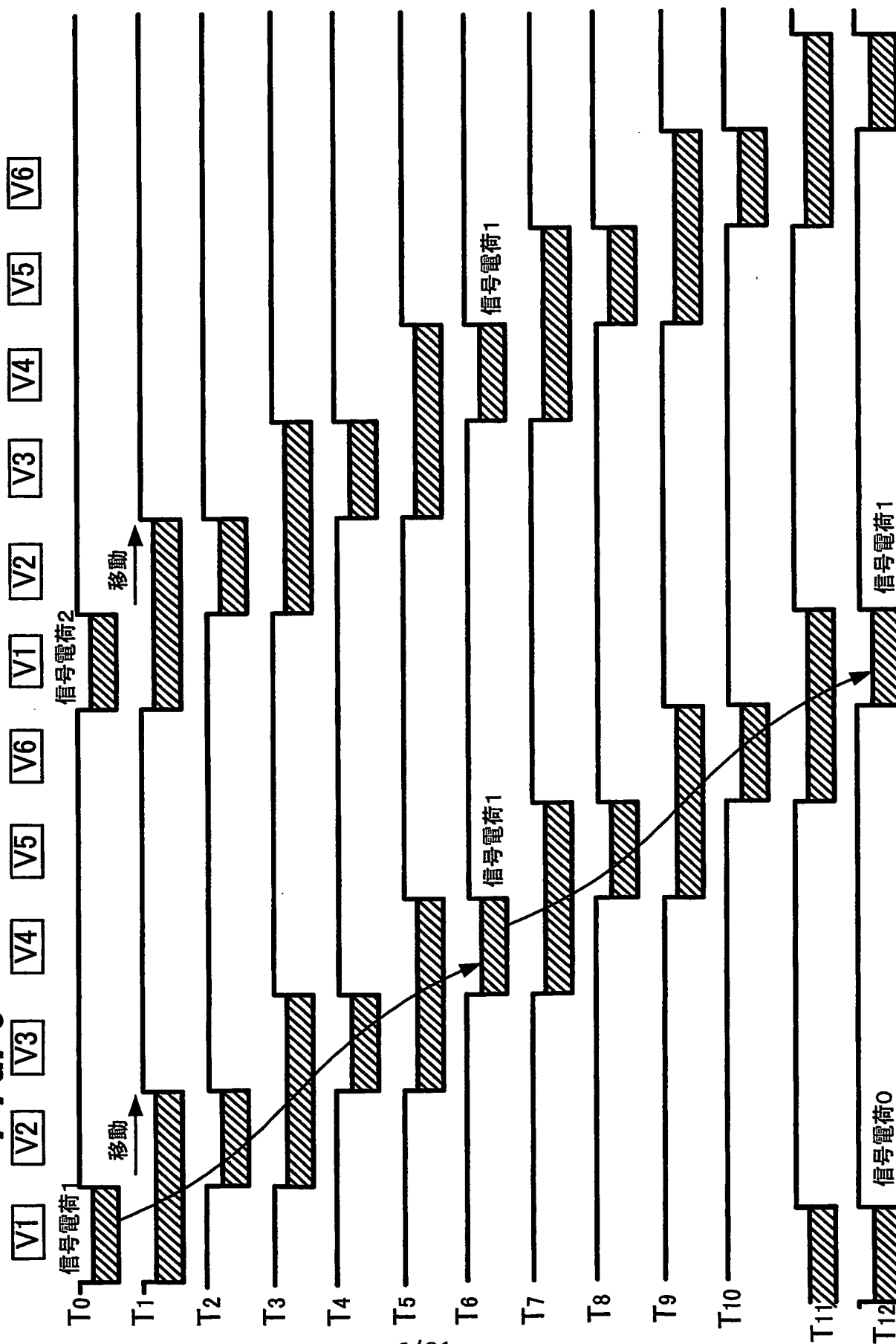


FIG. 7

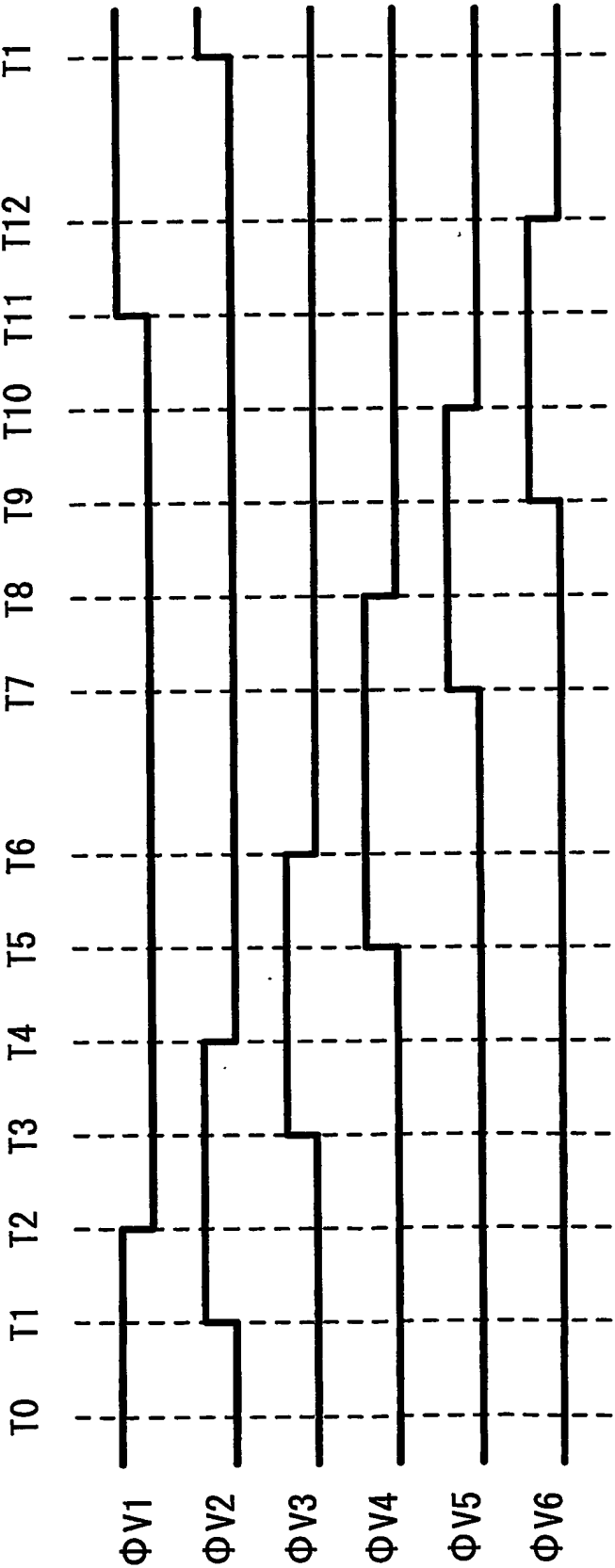




FIG. 8A

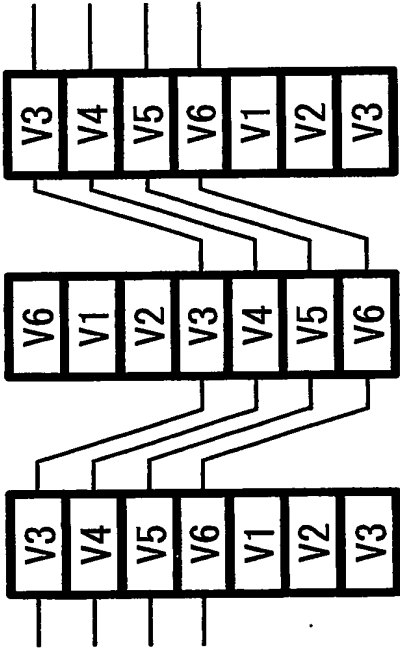
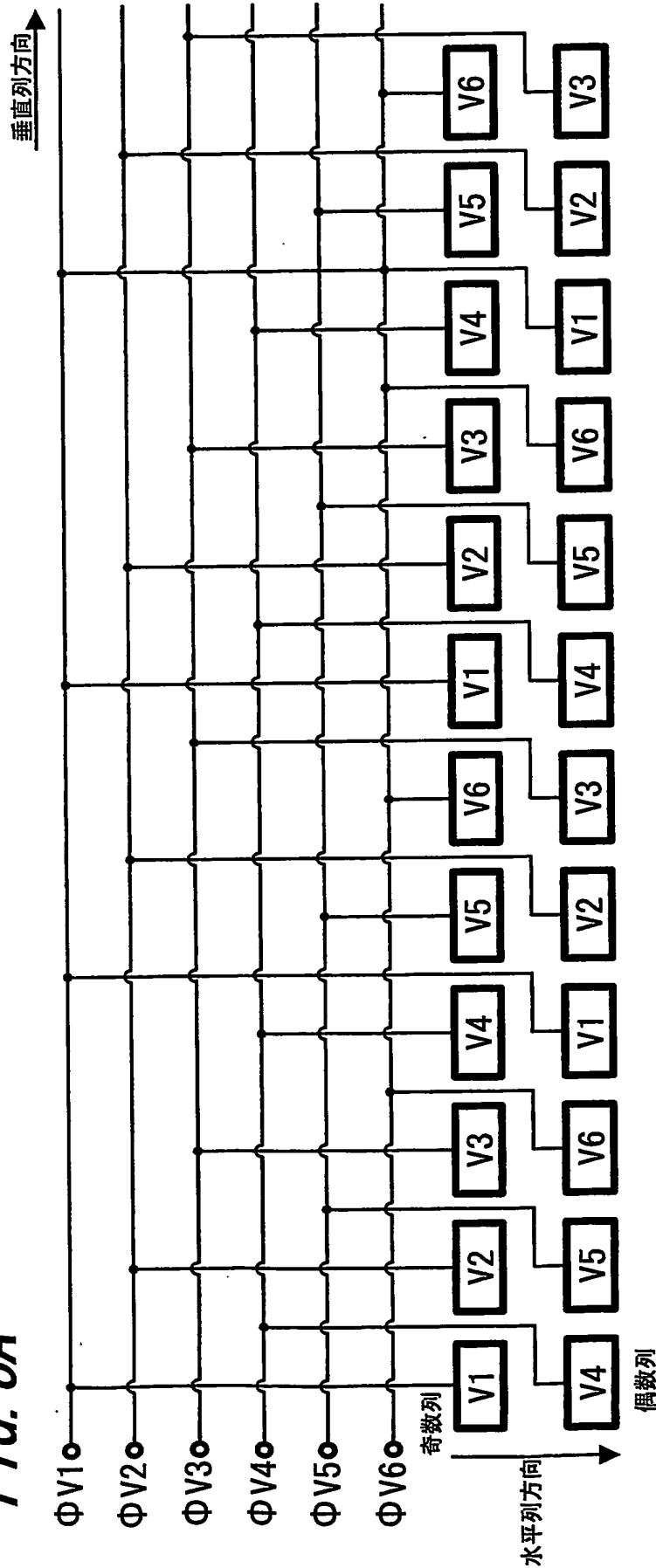
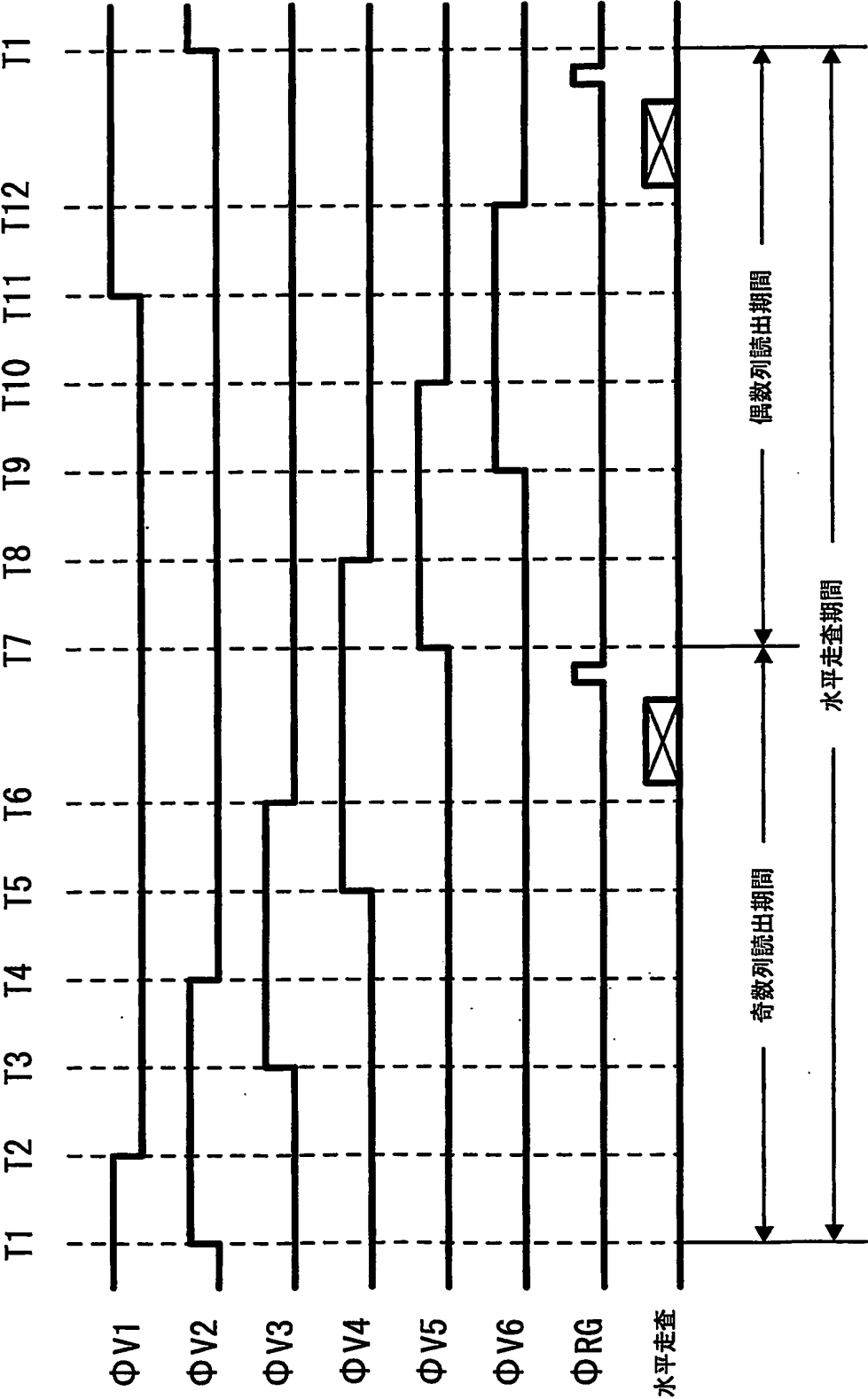
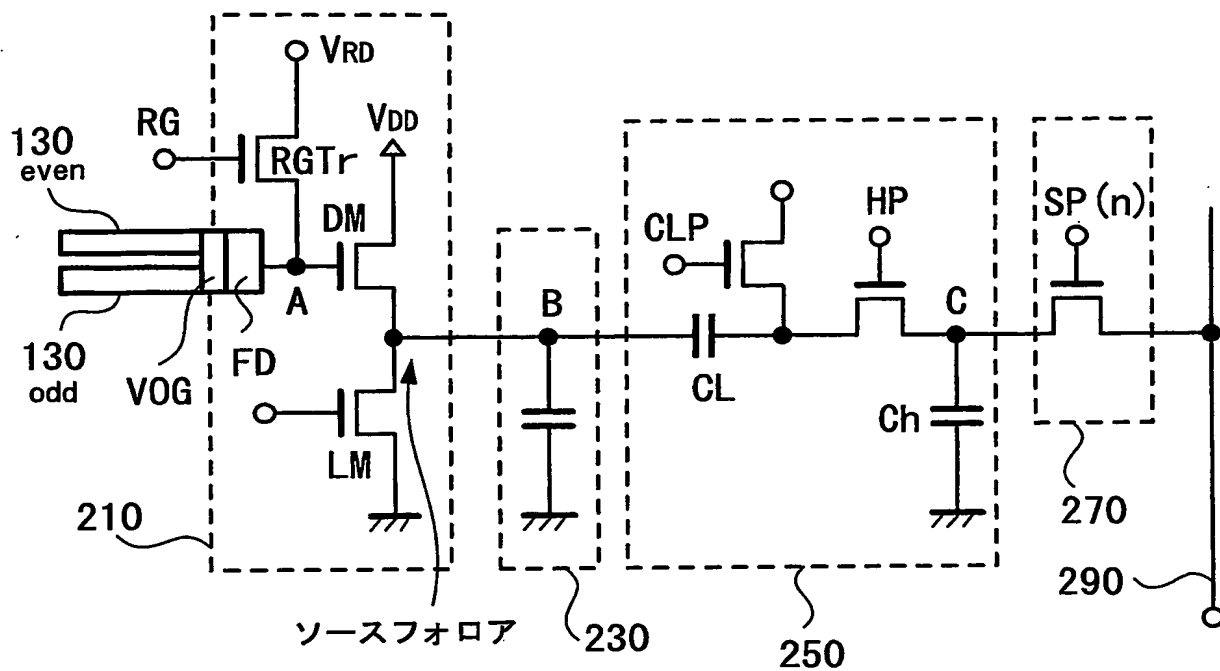


FIG. 8B

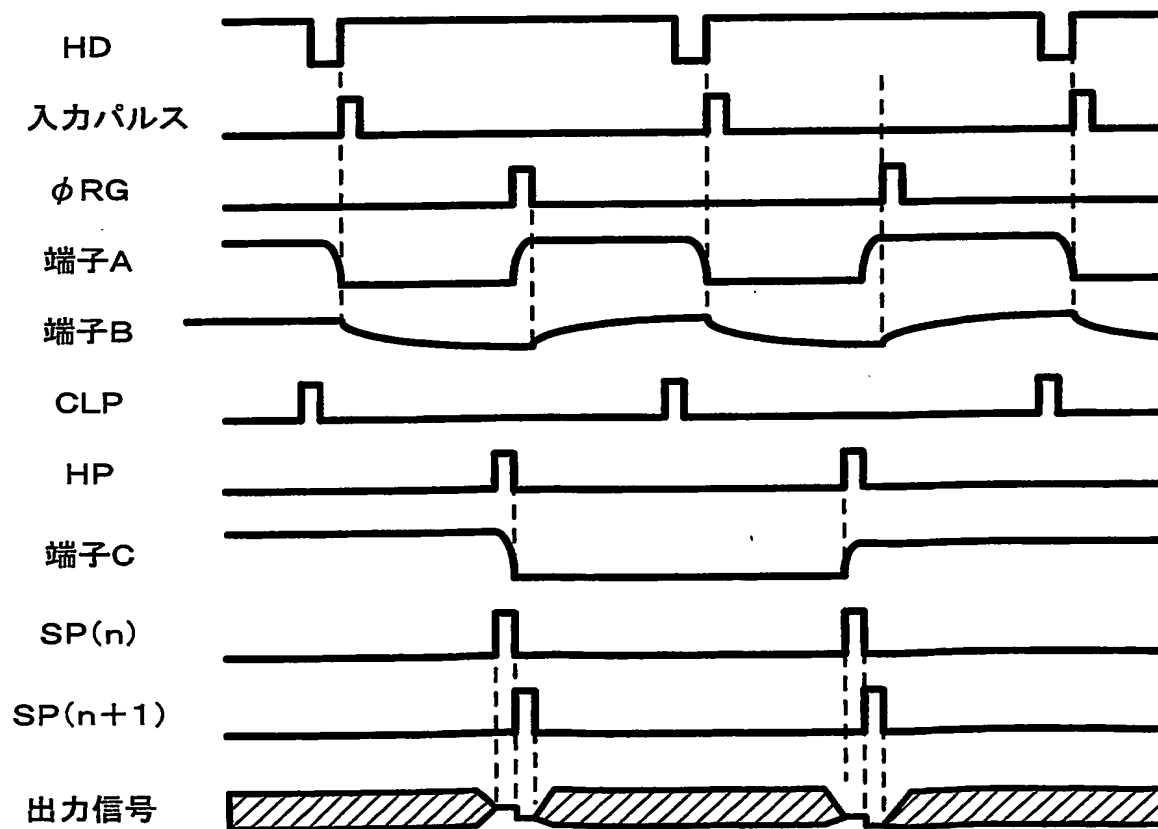
FIG. 9



**FIG. 10A**



**FIG. 10B**



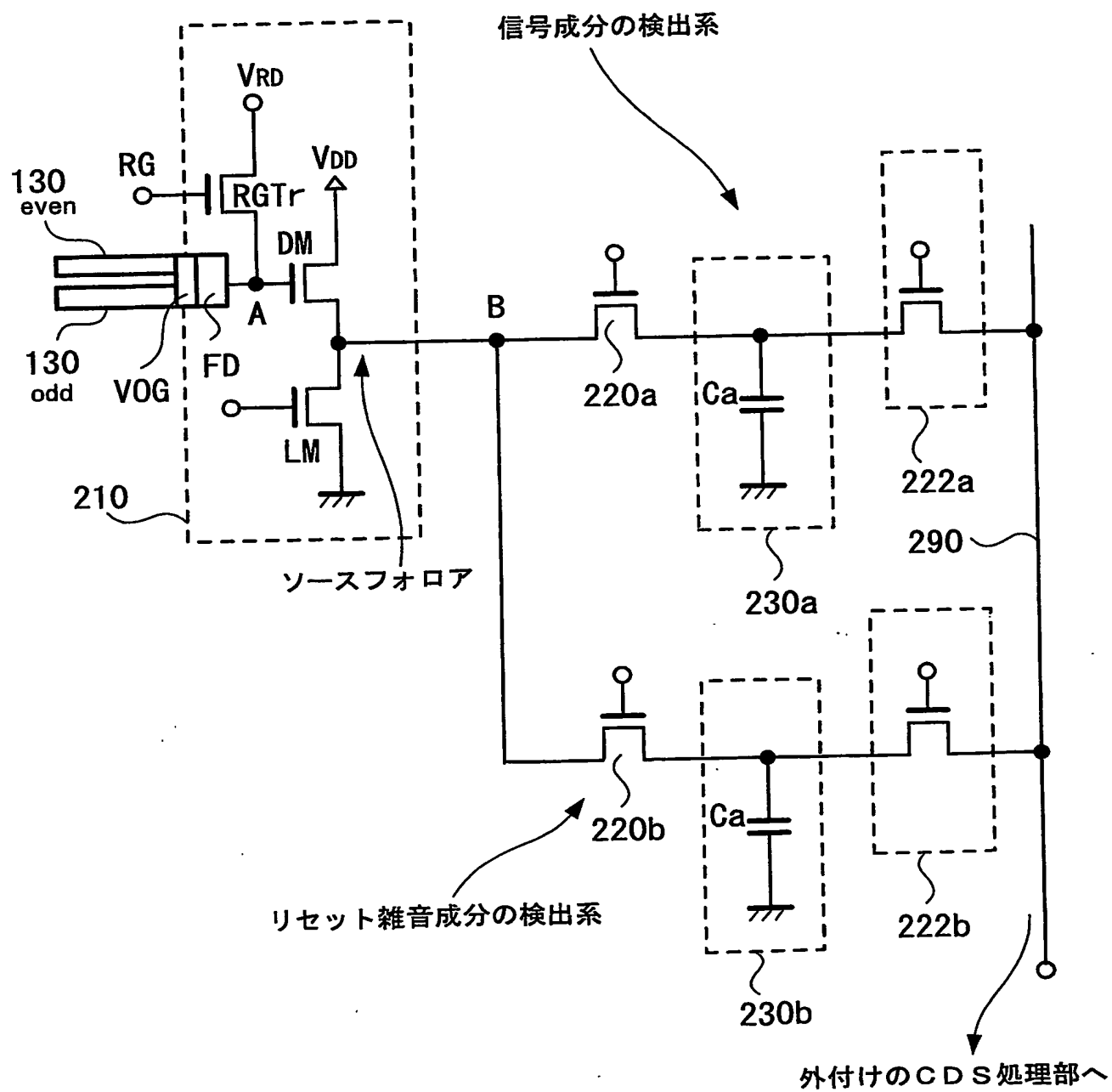
**FIG. 11**

FIG. 12A

FIG. 12B

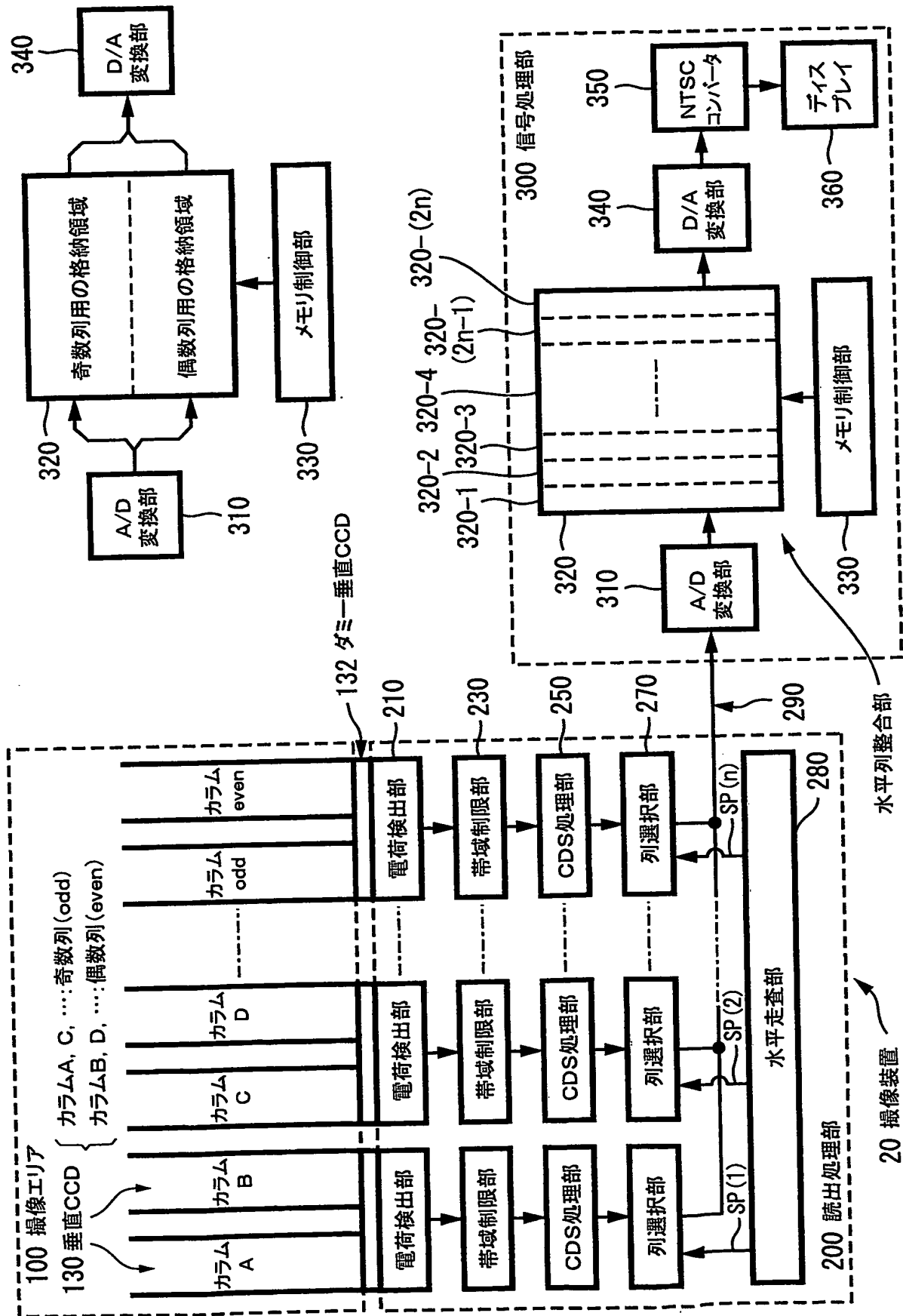




FIG. 14

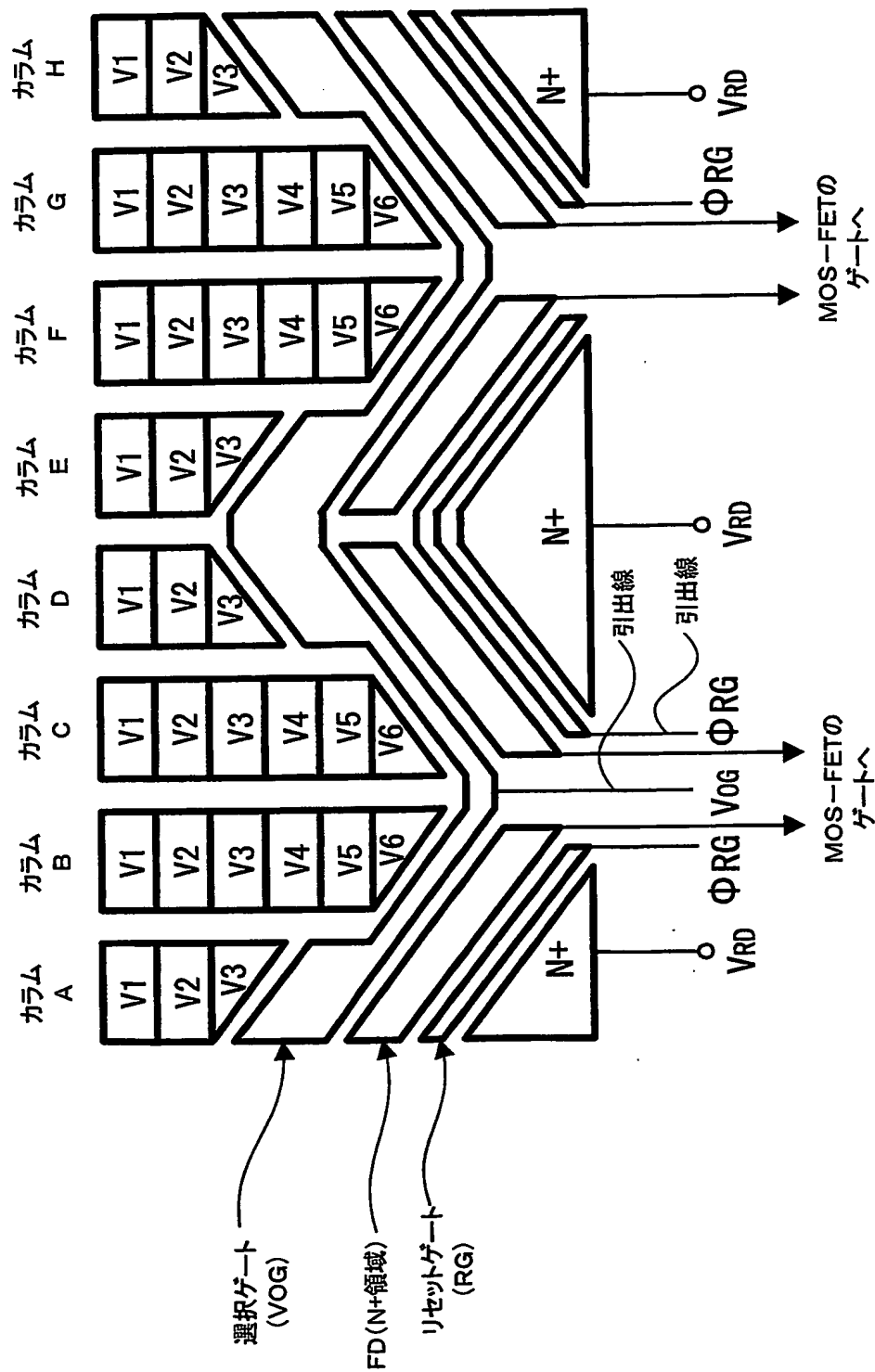


FIG. 15

(パルスタイミング)

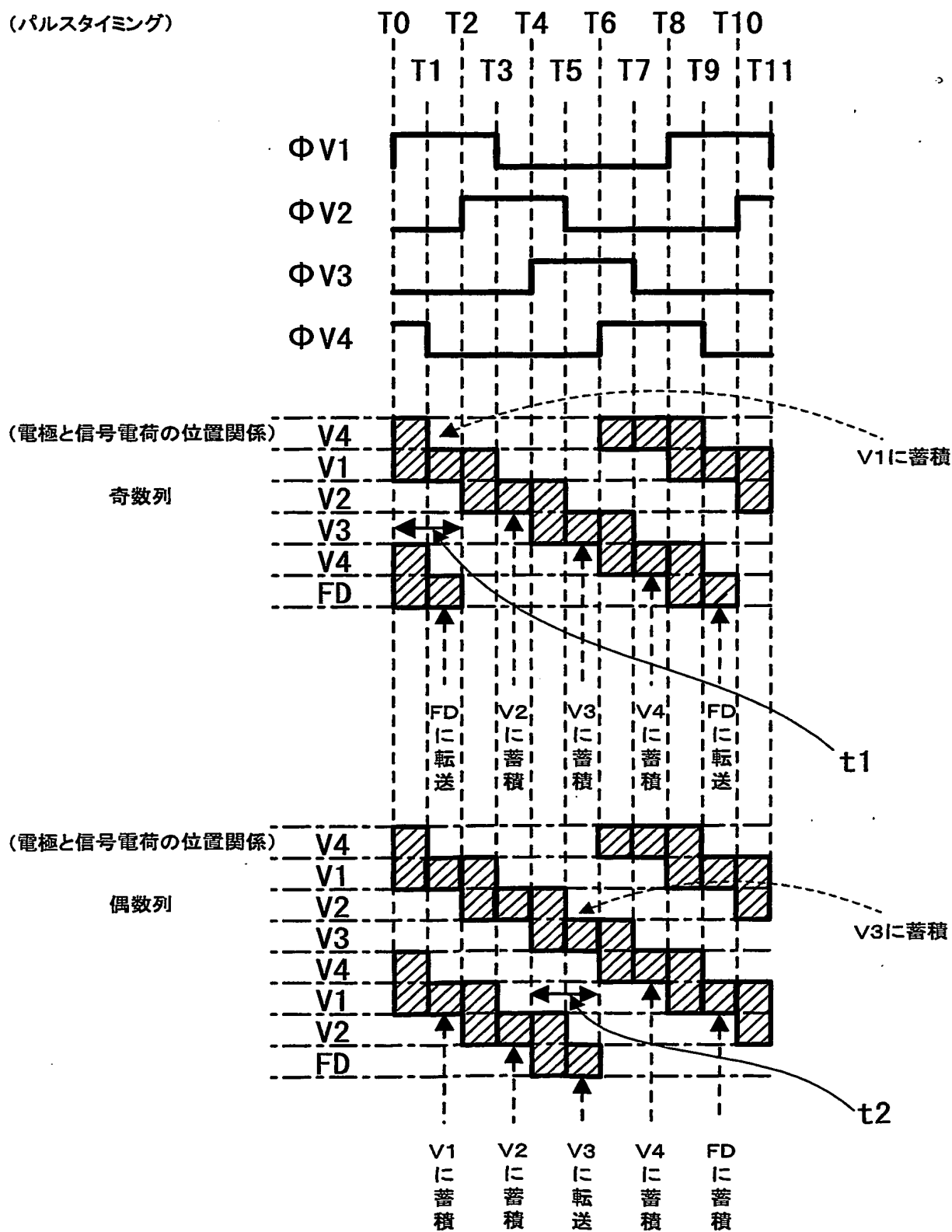




FIG. 16A

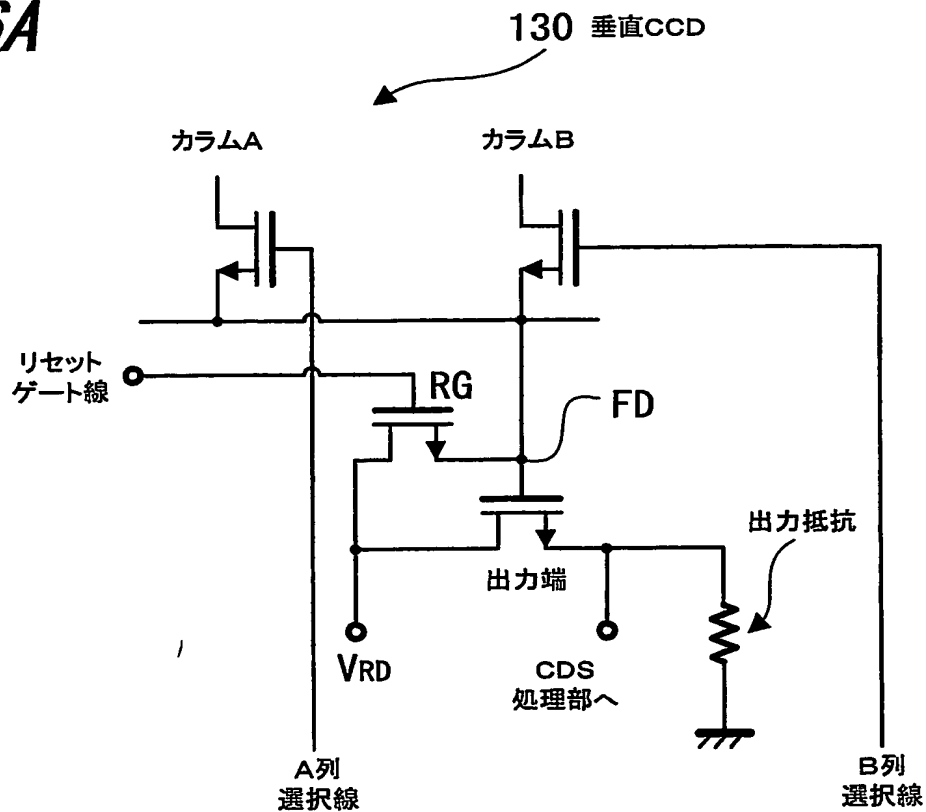


FIG. 16B

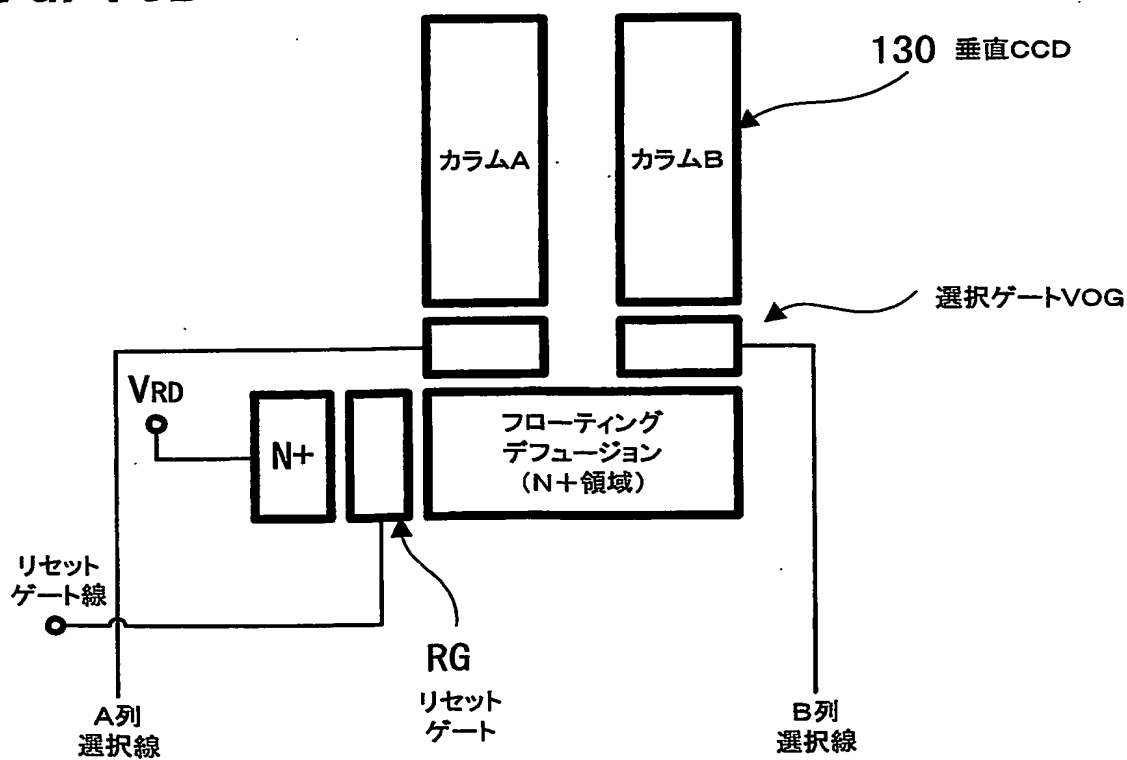
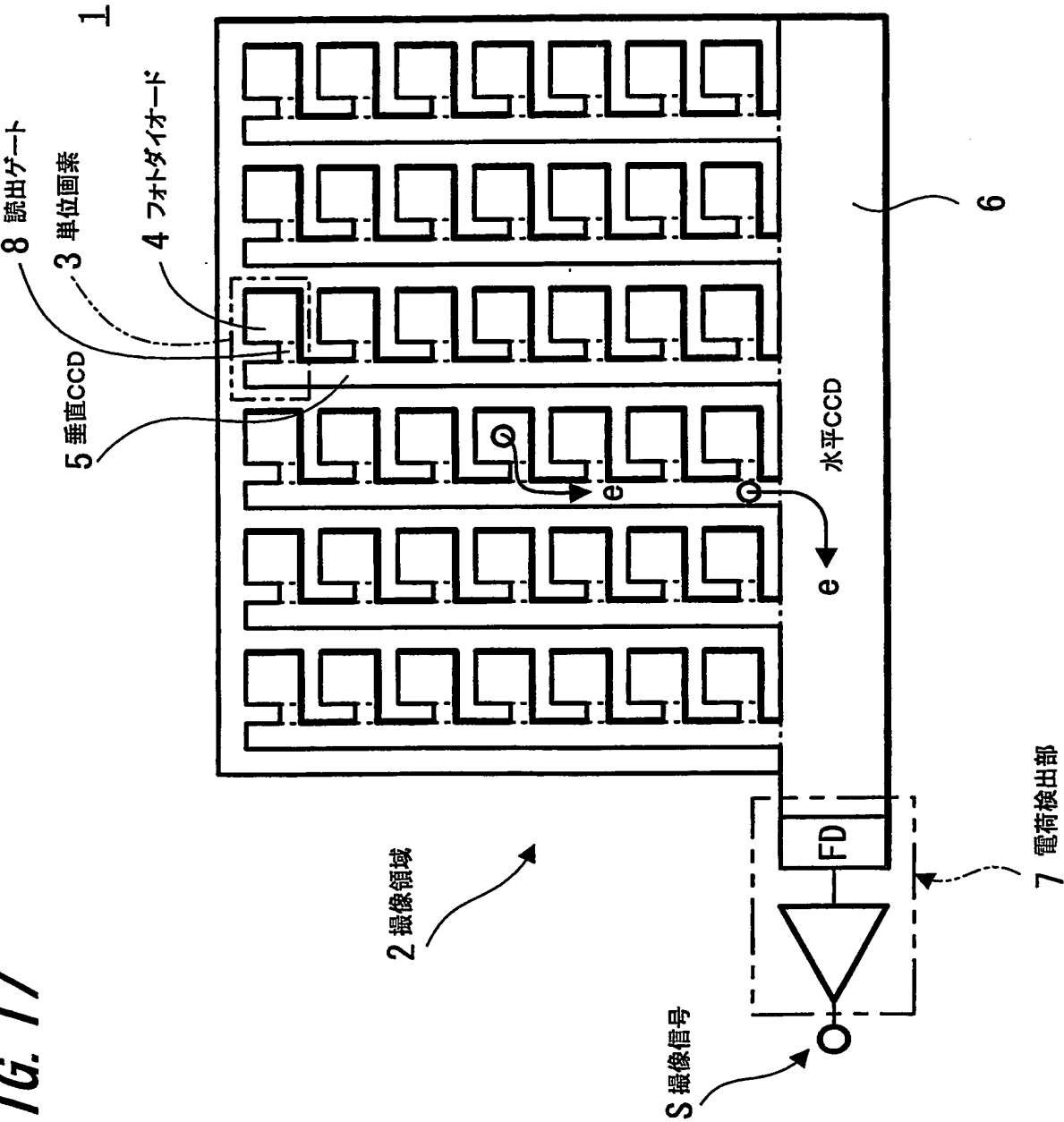
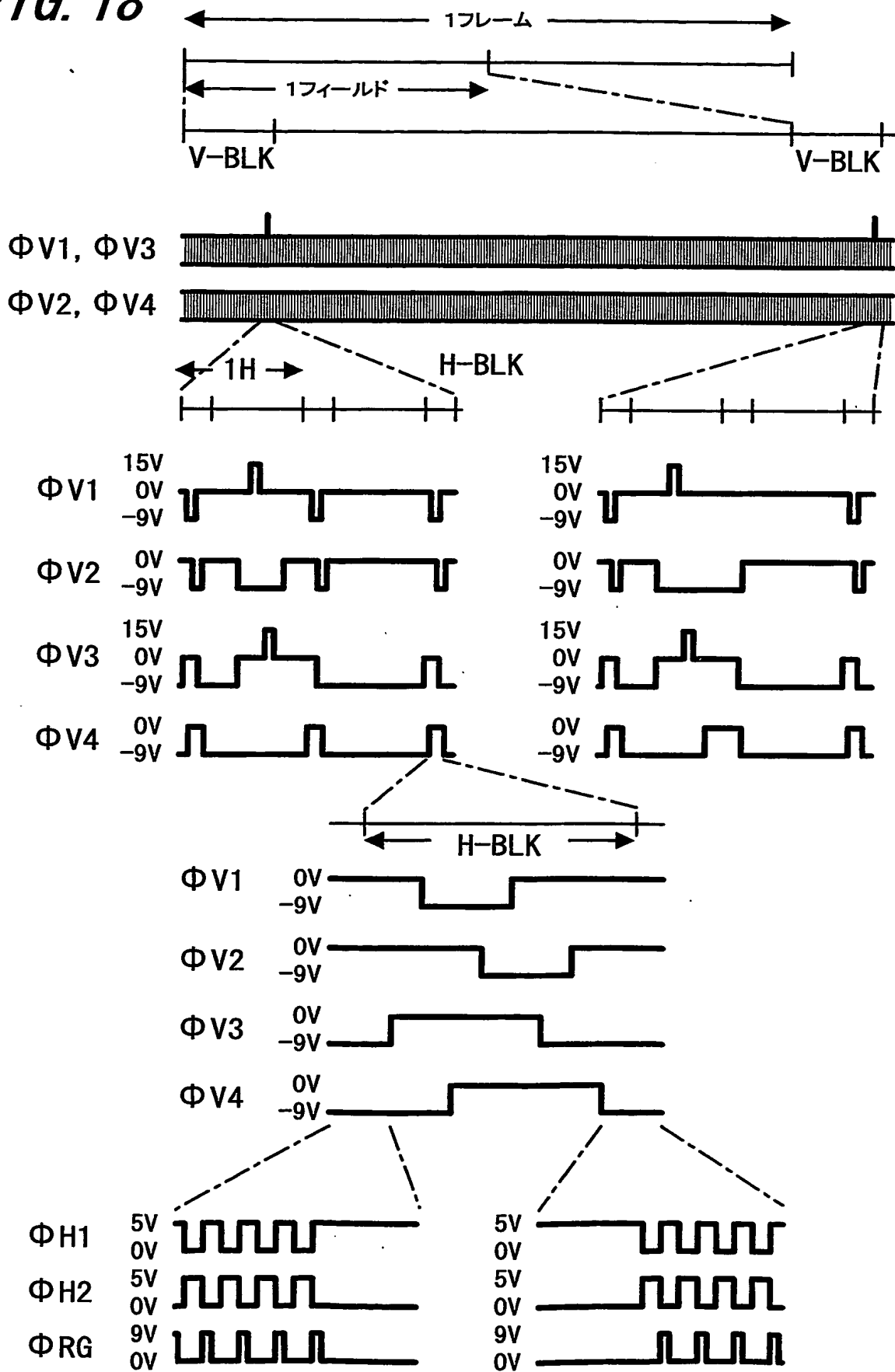
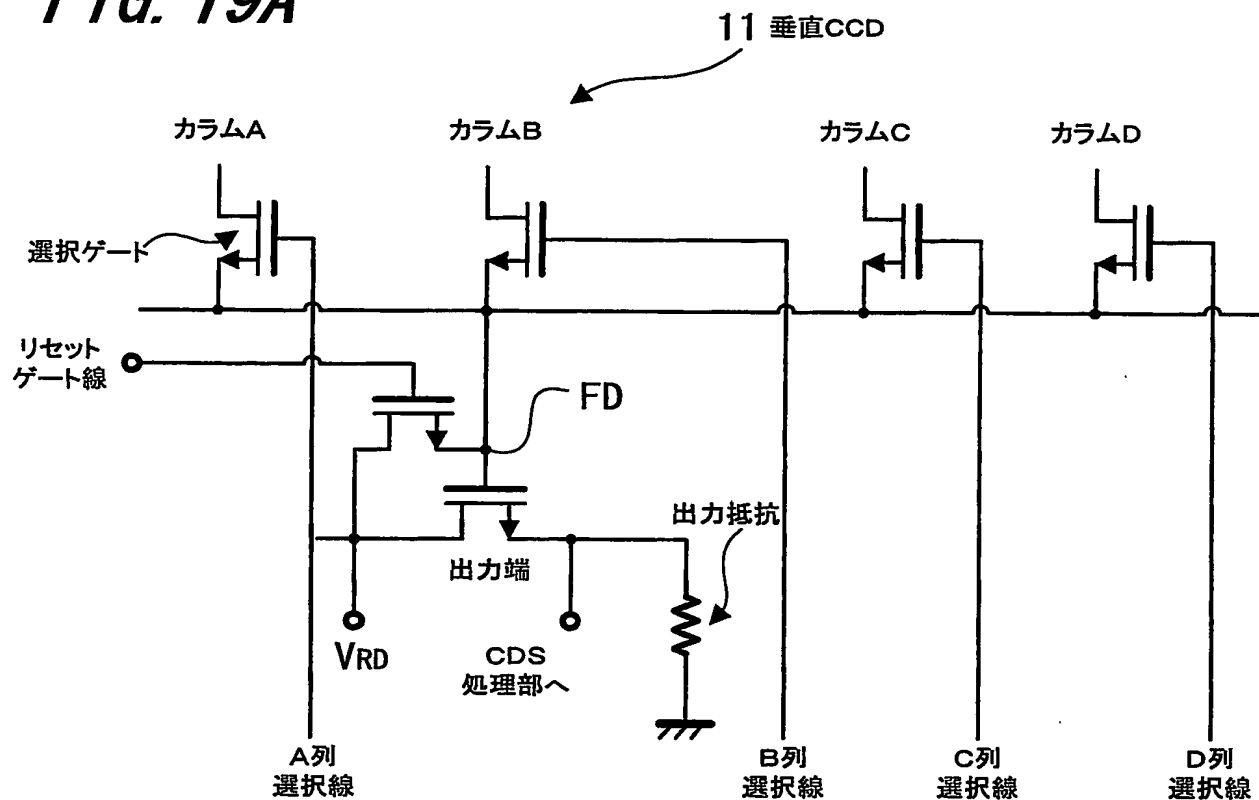


FIG. 17

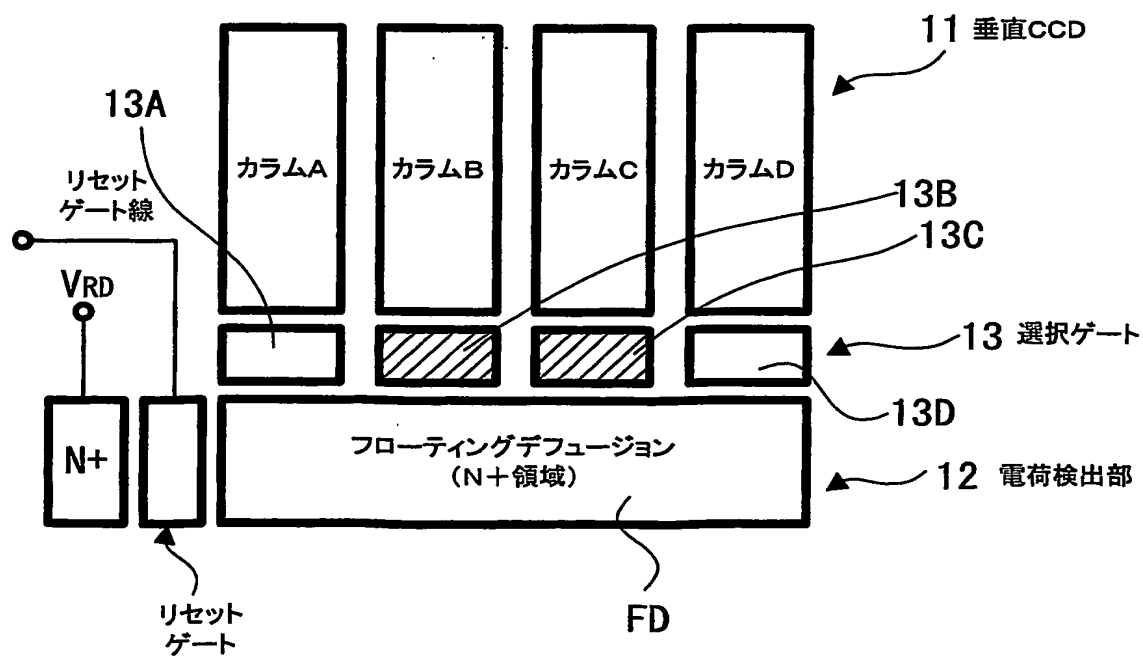


**FIG. 18**

**FIG. 19A**



**FIG. 19B**



## 引用符号の説明

- 1・・・固体撮像素子
- 2・・・撮像領域
- 3・・・単位画素
- 4・・・フォトダイオード
- 5・・・垂直CCD
- 6・・・水平CCD
- 7・・・電荷検出部
- 11・・・垂直CCD
- 12・・・電荷検出部
- 13 [13A, 13B, 13C, 13D]・・・選択ゲート
- S・・・撮像信号
- 20・・・撮像装置
- 30・・・外部回路
- 40・・・固体撮像素子
- 70・・・駆動電源
- 80・・・タイミングジェネレータ
- 100・・・撮像エリア
- 120・・・感光部
- 130・・・垂直CCD
- 132・・・ダミー垂直CCD
- FD・・・フローティングデフュージョン
- ROG・・・読出しゲート部
- VOG・・・選択ゲート
- CS・・・チャネルストップ
- V1～V6・・・垂直転送電極
- $\phi V1 \sim \phi V6$ ・・・垂直転送パルス
- V<sub>OG</sub>・・・選択ゲート電圧
- $\phi RG$ ・・・リセットゲートパルス
- V<sub>DD</sub>・・・ドレイン電圧
- X<sub>SG</sub>・・・読出しパルス
- V<sub>RD</sub>・・・リセットドレイン電圧
- CLP・・・クランプパルス
- HP・・・ホールドパルス
- 200・・・読出処理部
- 210・・・電荷検出部
- 220a・・・信号成分選択MOSトランジスタ
- 220b・・・雑音成分選択MOSトランジスタ
- 222a・・・信号成分用列選択MOSトランジスタ
- 222b・・・リセット雑音成分用列選択MOSトランジスタ
- 230・・・帯域制限部
- 230a・・・第1の帯域制限部
- 230b・・・第2の帯域制限部
- 250・・・CDS処理部
- 270・・・列選択部
- 280・・・列選択パルス生成部
- 290・・・出力信号線

C a . . . 信号成分用帯域制限容量  
C b . . . リセット雑音成分用帯域制限容量  
C L . . . クランプ容量  
C h . . . ホールド容量  
    L M . . . 負荷MOSトランジスタ  
    D M . . . 駆動MOSトランジスタ  
    R G . . . リセットゲート線  
S P ( n ) . . . 列選択パルス  
3 0 0 . . . 信号処理部  
3 1 0 . . . A / D 変換部  
3 2 0 . . . 画像記憶部  
3 3 0 . . . メモリ制御部  
3 4 0 . . . D / A 変換部  
3 5 0 . . . N T S C コンバータ  
3 6 0 . . . ディスプレイ  
T 0 ~ T 1 2 . . . 時刻  
t 1 、 t 2 . . . 期間

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/07496

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H04N5/335, H01L27/148

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> H04N5/335, H01L27/148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-97414 A (Hitachi, Ltd.), 08 April, 1994 (08.04.94), Full text; Figs. 1 to 10 (Family: none)	1-31
A	JP 58-209269 A (Tokyo Shibaura Electric Co., Ltd.), 06 December, 1983 (06.12.83), Page 2, lower right column, line 1 to page 3, lower left column, line 14; Figs. 2 to 5 (Family: none)	1-12, 14-16, 18-20, 22-24, 25-31
A	JP 7-131714 A (Hitachi, Ltd.), 19 May, 1995 (19.05.95), Par. Nos. [0059] to [0061]; Figs. 28 to 30 (Family: none)	13, 17, 21, 25

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
16 September, 2003 (16.09.03)

Date of mailing of the international search report  
30 September, 2003 (30.09.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335, H01L27/148

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335, H01L27/148

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-97414 A (株式会社日立製作所) 1994. 04. 08, 全文, 第1-10図 (ファミリーなし)	1-31
A	JP 58-209269 A (東京芝浦電気株式会社) 1983. 12. 06, 第2頁下右欄第1行-第3頁下左欄第14 行, 第2-5図 (ファミリーなし)	1-12, 14-16, 18-20, 22-24, 25-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

16. 09. 03

国際調査報告の発送日

30.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 徳田 賢二



5P

3137

電話番号 03-3581-1101 内線 3502



## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 7-131714 A (株式会社日立製作所) 1995. 05. 19, 段落番号【0059】-【0061】, 第 28-30図 (ファミリーなし)	13, 17, 21, 25